

1990年2月発刊

Vol. 9 No. 4

特集：ハードウェア開発

巻頭言

特集「ハードウェア開発」の発刊によせて……………橋本富正 1

特集論文

AGS5000 グラフィック・ディスプレイ・

システムの開発……………森分芳男 3

ラスク・スキャン型ディスプレイ用の

高品位アンチ・エリアシング方式について……………嶋田博明 18

大画面/超フラット・ディスプレイの開発

……………鳥羽知久, 土井博志, 安間孝夫 31

ワークステーションPW²ファミリ

における日本語表示機構 AVP ……………的場 勉 48

ディスプレイ・モニタの共通インタフェース

実現における PLL の応用 ……………花谷行雄 60

自動給紙装置の開発……………河原浩司 74

追記形光ディスクの互換性評価……………大石完一 84

新たな脅威

—— 間接 ESD による電子装置の EMI 作用 ……………本田昌實 98

VCCI の規制と妨害電波測定技術の現状と問題 ……………小山晴男 111

プリント基板 CAD の課題 ……………上谷彊輔 133

一般論文

拡張トランザクション処理アーキテクチャ ……………榎山 汎 157

BTOS のアーキテクチャ ……………荒井俊雄 171

新製品紹介 …………… 188

掲載論文梗概…………… 表 2, 3

当社では自由曲面設計CAD/CAM用機器として、「設計者の感性に呼応する表現力と応答性を持つシステムであること」を開発目標とし、ソニー(株)、セイコー電子工業(株)、三菱電機(株)とAGS 5000システムの共同開発を行った。森分芳男は、AGS5000グラフィック・ディスプレイ・システムの開発の中で、新技術の採用により実現した本システムの特徴、および機能概要を述べている。

デザイナーが形状の定義・評価・修正をディスプレイ上で繰り返し、完成度の高いモデルをコンピュータ・システム上に構築するためには、画面に表示される図形が設計モデルを忠実に表現する必要がある。現在一般に普及しているラスタ・スキャン型ディスプレイでは表示分解能、表示線質の二点を取ってみてもこれらの要求に当たっているとはいえない。嶋田博明は、ラスタ・スキャン型ディスプレイ用の高品位アンチ・エリアシング方式についての中で、AGS 5000システムに適用した高表示線質と高速図形表示を両立させるアンチ・エリアシング技術について報告している。

自動車に代表される自由曲面を持つ三次元モデルの複雑な図形を細部まで鮮明に表示するためには、大画面で高解像度・超フラットなディスプレイの開発が要求された。鳥羽知久・土井博志・安間孝夫は、大画面/超フラット・ディスプレイの開発の中で、要求された高性能をAGS 5000システムにおいていかに実現したか、CRTおよび電気回路の主な開発技術、ワイヤフレームモデルを扱う上で重要なポイントとなる画質に対する評価について報告している。

Advanced Video Processor (AVP) は、パーソナル・ワークステーションPW²ファミリ用に開発された表示制御オプション・ボードであり、高解像日本語表示機構に加えて表示機能におけるユーザニーズの多様化に対応する目的で開発された。的場勉のワークステーションPW²ファミリにおける日本語表示機構AVPは、このAVPの開発経緯および機能について紹介している。

フラットパネル・ディスプレイは、スペース・ファクタでCRTに対し優位性を持ち、一部ではCRTの代替品として実現化している。このような状況で、CRTとフラットパネルの共存を目的とし、ELディスプレイ・モジュール(BJ 30-ELD)を開発した。花谷行雄は、ディスプレイ・モニタの共通インタフェース実現におけるPLLの応用の中で、BJ 30-ELDの開発において実現したPLL (Phase Locked Loop) の応用による共通インタフェースの実現方法について述べ、さらに共通インタフェースのあり方を考察している。

レーザビームプリンタが開発され、プリンタの印刷速度は急速に上昇したが印刷用紙の装着の不便さは相変わらずであるため、印刷用紙を自動的に供給する装置に対する要望が高まってきた。河原浩司の自動給紙装置の開発は、日本ユニシス・グループが開発した自動給紙装置の機能および機構の概略について記述している。

互換性を目的とした130 mm追記形光ディスクの標準化が国際的に合意し、ISO規格としての文書化を残すのみとなった。市場にはISO規格準拠をうたう製品が出荷されたが、1社の駆動装置に対し1種の媒体しか保証されていないのが実情である。大石完一は、追記形光ディスクの互換性評価の中で、通産省工業技術院の委託による「光ディスク標準化委員会」にて主査として実施した同ディスクの互換性に関する確認テストの結果概要およびテストデータの分析を通して互換性の問題を解析し、その解決策について考察している。

他律的に発生する金属物体間での静電気放電(ESD)に対し昨今の高速化したデジタルエレクトロニクスは、意外と敏感にこの現象に反応する。本田昌實は、新たな脅威——間接ESDによる電子装置のEMI作用の中で、低電圧に帯電した金属物体が他の孤立した金属物体に接触して発生するESDは、この時生じる電磁波エネルギーの加速度成分が非常に大きくなることもあり、VLSI化された電子機器にとって重大な脅威となり得ることを報告している。(EMI:電磁妨害)

特集「ハードウェア開発」の発刊によせて

橋本 富正

特集「ハードウェア開発」をお届けするにあたり、永年開発に携わってきた仲間を代表しわれわれの最近の活動の一部を紹介し、読者諸氏の評価を受けられることは、たいへん嬉しいことである。

はじめにハードウェア開発について若干の解説を試みてみたい。

ハードウェア開発は、まずその商品の扱いから、標準商品開発と非標準商品開発に大きく分かれる。標準商品は、文字通り当社の商品として多くのお客さまにご使用頂くべく最大公約数の要求をベースに開発され大量に出荷される。

一方非標準商品は、個別のお客先からの要求で既成の商品を改造したり、組み合わせたりしながら要求を実現するための開発である。

当社におけるハードウェア開発の原点は当然のことながら、“お客さまのニーズ”をわれわれの商品に反映することであり、当社におけるハードウェア開発のスタート当時は、この非標準商品が中心であった。この伝統は現在でも引き継がれており、開発アクティビティの中に大きな位置を占めている。

また、開発の形態から分類すると、仕様から論理設計・実装設計・試作まで、すべての開発を自前で行うケース、仕様を決めたのち外部の先進技術を利用する開発外注のケース、二つのケースをミックスした共同開発のケース、外部既成の商品を一部改造して当社商品に接続するケース等がある。

一方開発技術から見ると、要求を仕様にまとめ上げる仕様作成技術、仕様をハードウェア／ファームウェアの論理に展開し組み立てる論理設計技術、論理を基板や筐体に組み上げる実装技術、いろいろな角度からハードウェアをテスト・確認する評価技術、システム全体のバランスを考えた外觀デザイン等がある。

これらの技術は、一朝一夕に作られるものではなく、長期にわたる多くの経験と研鑽の上になり立っている。一般に開発力と呼ばれるものは、これら技術の総合力を指しているが中でもその真髄は、実装技術力といっても過言ではないと考える。

基板の作成、モジュール化、筐体設計の中に多くの技術が散りばめられている。高速化、小型化を進める上で、ロジックのシミュレーションを通じて論理の正当性を確保するとともに、素子の選択から基板上への展開、NC工程へのインタフェース、ノイズ対策、冷却技術、アーゴノミクスへの対応等、他にもまだまだ多くの技術が結集しており、普段からしっかりした見通しの基に技術を確立しておく必要がある。また、これらの技術は外部から最も見え

にくい縁の下の仕事でもある。

商品化の要求はいつの時代でも性急なもので、開発部門には、その性急さに耐えられる技術の蓄積が要求される。そしてその技術の範囲は日々拡大・高度化しており、開発エンジニアへの心理的圧力は強くなる一方だが、それが次の開発への意欲にも繋がっている。物作りを志すわれわれにとって、お客さまのニーズに基づく性急さは新しいものを創造する喜びでもある。

本号では、当社のハードウェア開発部門における最近の成果物の中から、特徴的なもの、自負できるもの、また関連技術のうち時機のよいものを取り上げた。まだまだ未熟ではあるが、お客さまの進歩にチャレンジする技術者の気概を感じていただければ望外の喜びである。

(マイクロプロダクト本部 副本部長)

AGS5000 グラフィック・ディスプレイ・システムの開発

The Development of the AGS5000 Graphics Display System

森 分 芳 男

要 約 日本ユニシスでは昭和53年より、ワイヤフレームによる自由曲面設計CAD/CAM用機器として、AGS4100 グラフィック・ディスプレイ・システムを提供してきた。しかしさらに機能/性能面を強化した後継機の開発が強く望まれ、昭和61年末 AGS5000 グラフィック・ディスプレイ・システムの開発に着手し、約2年半の開発期間で完了した。

「設計者の感性に呼応する表現力と応答性を持つシステムであること」を開発の目標とし、グラフィック表示装置（ソニー(株)）、グラフィック制御装置（セイコー電子工業(株)）、グラフィック処理装置（三菱電機(株)）、の機器別に共同開発を行うこととした。

また、その開発作業の分担としては要求仕様の定義、評価およびシステム構築を当社が、各機器の開発を共同開発各社が担当することにした。

定義された要求仕様の実現には、解決すべき数多くの技術的課題があった。新技術の採用により実現した AGS5000 グラフィック・ディスプレイ・システムは、以下の特徴を持つ。

- 1) 大型高精細・超フラット CRT の採用により、歪みのない画面表示。
- 2) 高速高品位アンチ・エリアシング方式の実現により、ランダム・スキャン方式相当あるいはそれ以上の曲線表示。
- 3) ラスタ・スキャン型ディスプレイの採用と高速グラフィック・エンジンの実現により、フリッカのない 10 万ベクトル以上の表示と 2 万ベクトルの表示画面のスムーズな表示操作。
- 4) グラフィック処理装置/グラフィック制御装置間に独自の高速パラレル・インタフェースを開発し、画面の高速表示とスムーズな曲線制御の実現。
- 5) UDF (User Definable Function) を用いることにより、カスタマイズされた図形操作を容易に実現。

Abstract The AGS4100 Graphics Display System has been available for users from Nihon Unisys, Ltd. since 1978 for free form surface designing in three-dimensional wire frame CAD/CAM applications. However, there were strong demands for Nihon Unisys to provide a functionally enhanced and higher-performance graphics system. The AGS5000 Graphics Display System got under way for development in late 1986 as the AGS4100 follow-on product, and it was completed in August, 1989, taking merely two years and a half.

The development goal was set on "a graphics system which provides excellency in displayability and responsiveness in reaction to designers' sensitivity". Studies led to our decision on joint development efforts together with:

- 1) Sony Corporation for a graphics display
- 2) Seiko Instrument & Electronics, Ltd. for graphics control
- 3) Mitsubishi Electric Corporation for graphics processing

The shared development work fell on Nihon Unisys for the definition of requirements specifications,

product evaluation and systems construction, and on the individual partner companies for development of the equipment they are responsible for respectively.

The defined specifications accompanied great efforts to find out satisfying solutions to technological difficulties. The AGS5000 Graphics Display System built on new technologies boast the following superior features:

- 1) Non-distortion display screen through adoption of a large, high-precision and super-flat CRT.
- 2) Displaying of smoother curves than the random-scan type through adoption of the new high-speed, high-quality anti-aliasing method.
- 3) Displaying of over 100,000 vectors with no flickers and a smooth interactive operation for the display of up to 20,000 vectors through adoption of a raster-scan CRT and a high-speed graphics engine.
- 4) New parallel interface between the graphics processor and the graphics controller for high-speed screen displaying/smooth curve generation/modification.
- 5) Customized easy graphics operation through the use of the UDF (user definable function) capability.

1. はじめに

設計生産部門における CAD/CAM システムの実用化が進んでいる自動車メーカーでは、最上流工程であるデザイン部門に質の高い意匠数値データの提供が求められており、先進的メーカーでは約 10 年以前より三次元グラフィック・ディスプレイによる形状設計が実用化されている。

当社ではランダム・スキャン型 CRT ディスプレイをベースとした AGS4100 グラフィック・ディスプレイ・システムを同分野用として 1979 年以前より提供してきたが、形状設計の CAD 化が進むに従い、ユーザの要求がより高度化・複雑化して機能アップした新製品の開発が強く要求された。

エレクトロニクスの進歩にともない、その要求を実現化すべく当社においてラスター・スキャン型 CRT をベースとした新グラフィック・ディスプレイ・システム AGS5000(写真 1)の開発に取り組み完了したので、その過程とシステムの特徴について報告する。



写真 1 AGS5000 グラフィック・ディスプレイ・システム

Photo. 1 AGS5000 graphics display system

2. 開発の方針

自動車の外形に代表される自由曲面を持つ三次元モデルの形状設計用グラフィック・ディスプレイである AGS5000 の開発に当たり、従来より提供している AGS4100 の後継機としての位置づけより、開発の基本方針を次の二点とした。

- 1) 設計者の感性に呼応する表現力と応答性を持つシステムであること。
- 2) AGS4100 グラフィック・ディスプレイ・システムを用いた CAD/CAM システムで貯えられたソフトウェア資産が活用できること。

3. 設計者からの要求のまとめ

開発の基本方針の第一にあげた「設計者の感性に呼応する表現力と応答性を持つシステムであること」を実現するため、AGS4145 を現在使用している設計者の要求を取りまとめると、以下のように整理できる。

- 1) 表示画面……設計者とのインタフェースとしても最も重要である表示画面は、大量で複雑な図形を細部まで表示でき、また管面の曲率による表示図形の歪みを極力抑えるため大型、高解像度かつ平面に近い管面曲率を持つディスプレイであること。すなわち管面の大きさ・曲率において、少なくとも AGS4145 のそれを上まわること。
- 2) 表示線質……ディスプレイ上に表示される図形の表示線質は、形状設計を行う上であたかも紙の上にかかれた図形を見るように見えること。すなわち直線は直線として、曲線は正しい曲率で見えるように表示できること。このことは、ランダム・スキャン方式の AGS4145 による表示線質と同等、あるいはそれ以上の表示線質を実現すること。
- 3) 表示線分の認識……AGS4145 で実現している三次元モデルの奥行方向の輝度変化による認識ができ、かつ重複する線分の識別ができる機能を持つこと。
- 4) 画面表示の即時性……設計者が表示モデルを思いのままの角度から評価でき、思考の中断を来たすことのないよう、表示の操作(移動、拡大/縮小、回転、パース等)がオペレータの手の動きに追従すること。画の動きの滑らかさにおいては AGS4145 と同等で、その時の画量において 5 倍を実現すること。
- 5) 表示画量……モデル全体を画面に表示するのに十分な量の線分の表示が可能であること。ランダム・スキャン型 AGS4145 では線分量の増加にともないフリッカが発生し、モデル全体の表示は不可能であった。
- 6) 表示操作……オペレータが表示画面の変更・移動等を行う際使用する入力デバイス(物理デバイス)は、アプリケーション・ソフトウェアにより、自由にパリエータ、ロケータ等(論理デバイス)の割り付けが行えること。また操作の継続性を保つため、できるかぎり現行機種との互換性を持つこと。

その他にも種々要求は存在したが、検討の結果重要なものは上記の 6 項目と認識した。

4. システム・アーキテクチャ

システム・アーキテクチャの検討に当たっては、開発方針の第二にあげた「AGS4100

グラフィック・ディスプレイ・システムを用いた CAD/CAM システムで貯えられたソフトウェア資産が活用できること」を前提にし、機能・性能面から現システムの負荷分散度、システムの応答性等の解析を行った。

AGS4100 システムは、UNISYS1100/2200 システムをホストコンピュータとし、通信回線経由でグラフィック処理装置 (V77 ミニコンピュータ) を結び、その下に AGS 4145 グラフィック表示装置が接続される構成となっている。

当該システムの各々の機器の主な役割は、

- 1) ホストコンピュータがデータベース管理と曲面処理
- 2) グラフィック処理装置が曲線処理と表示構造リストの作成およびインタラクティブ処理
- 3) グラフィック表示装置が表示処理と入力処理

となっている。

検討の結果、基本アーキテクチャおよび役割は従来通り (図 1) としたが、グラフィック処理装置はコストパフォーマンスの面から最新のミニコンピュータを採用することとした。またグラフィック・ディスプレイ装置にはローカル・ビュー機能 (グラフィック処理装置と非同期でオペレータの入力操作により、モデルの回転・拡大・縮小を実行させ、見え方を変化させる機能) を加え、グラフィック処理装置の負荷の軽減をはかることにした。以上の結果からグラフィック処理装置上のソフトウェアは新規開発することとなったが、1100/2200 システム上ですでに開発されたソフトウェアおよびデータベース資産はそのまま引き継がれた。

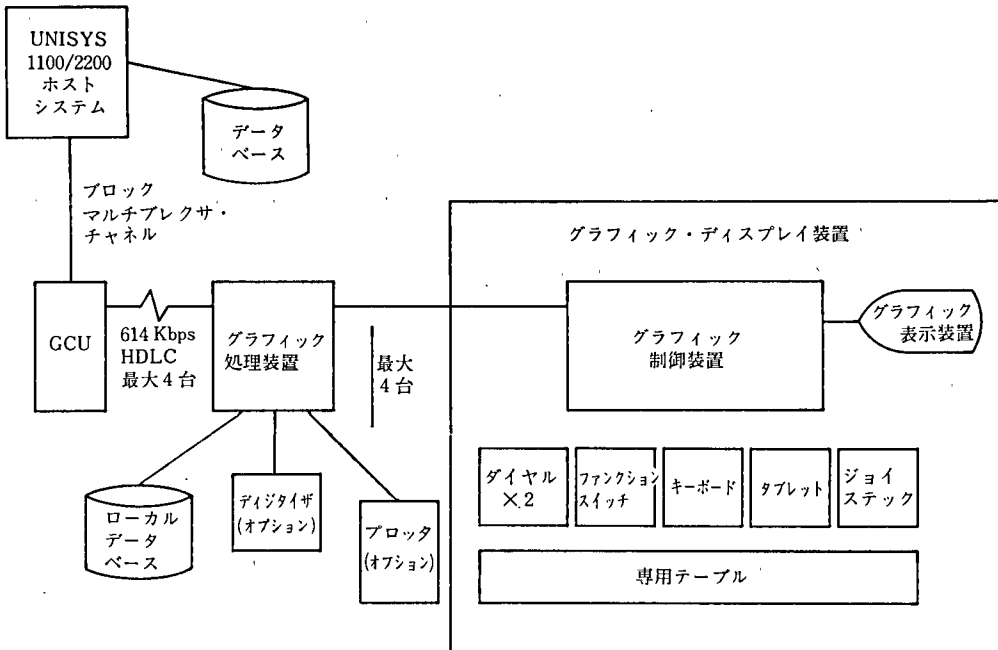


図 1 AGS5000 システム構成図

Fig.1 AGS5000 system configuration

5. 新規開発項目と要求仕様

システムを構成する各機器を、要求される機能・性能面から検討し、その技術的可能性・経済性および製品出荷時期等を考慮し要求仕様にまとめた。その検討経緯と仕様概要を述べる。

5.1 グラフィック処理装置

グラフィック処理装置に求められる要件として、システム立上げ時の大量データの転送時間を短縮する必要があるため従来に比べ、10倍以上の転送速度を持つ高速コミュニケーション機能(614 Kbps・HDLC)を必要とした。

また、ホスト/グラフィック処理装置間の回線数・データ転送の効率・ミニコンピュータの処理能力とコストパフォーマンスを検討し、グラフィック処理装置1台で最大4台までのグラフィック制御装置を制御可能な能力を有することが要求された。その他の周辺装置としてローカル・データベース用ディスク、グラフィック・システムを支援するデジタイザ、プロッタ等のペリフェラル、さらにはソフトウェア開発を支援するプリンタ、磁気テープ、端末機の接続が望まれた。

オペレーティング・システムは、開発環境および開発されたソフトウェアの可搬性に優れた機能を持つUNIX*が求められ、かつAGS5000の曲線制御をリアルタイムに行う必要から、リアルタイム機能を持つこと、開発言語としてFORTRAN, C言語が提供されていることが条件としてあげられた。

最新のミニコンピュータ数機種を比較検討し、(AGS5000のグラフィック処理装置として)三菱電機製MELCOM70/MX5600に決定した。

グラフィック処理装置上で新規に開発されるアプリケーション・ソフトウェアを支援するグラフィック・サポート・ライブラリの開発に当たっては、可搬性とグラフィック装置の独立性に優れたPHIGS(programmers' hierarchical interactive graphics standard)を採用することとした。

グラフィック処理装置・グラフィック制御装置間の接続に関しては、MX5600で標準的に提供されているインタフェースの採用を検討したが、AGS5000に要求される表示更新時の大量データ転送、曲線制御時の少量ではあるが多数回にわたるデータ転送をとともに効率よく行うためには不十分との結論に達した。

大量データ転送に対する要求仕様は、表示データをグラフィック制御装置の表示用バッファ(セグメントバッファ)に書き込む場合で、4メガバイトのデータを約20秒で表示可能としなければならず、見積った結果、転送速度として2メガバイト/secの能力が必要となる。

少量データのトランザクション処理に関しては、ダイヤルによる曲線のリアルタイム制御を4台のグラフィック・ディスプレイで滑らかに行えることを目標に見積りを行った。

ダイヤルによる曲線のリアルタイム制御とは、たとえば曲線の二点の接線ベクトルの量の変化をダイヤル値により読み取り、変化量を基に曲線を創成する。その曲線をベクトル化したポリラインに変換後、グラフィック制御装置のセグメントバッファに書き込む一連の動作を言う。

* UNIX: AT & T ベル研究所が開発し、AT & T がライセンスしている。

この場合表示された図形の乱れを防ぐため、表示属性の ON/OFF 制御等を行うことを考慮すると、1 曲線制御当たり 6~8 回のトランザクションが見込まれる。滑らかな曲線制御を 1 sec 当たり 10 回程度の曲線変更とみなすと、

$$8 \text{ コマンド} \times 10 \text{ 回} \times 4 \text{ 台} = 320 \text{ コマンド/sec}$$

すなわち、オーバヘッドを含め 3.125 msec/コマンドの処理能力を必要とする。

以上二つの要件を満たすインタフェースとして当初 SCSI インタフェースの採用を検討したが、コマンド当たりのオーバヘッドが約 7 msec あり、要件を満たさないことが判明した。そのため、パーストモード：2 メガバイト/sec、ハンドシェイクモード：1 メガバイト/sec の能力を持つ独自性のインタフェースの開発およびオペレーティング・システムのオーバヘッド軽減のための改造が必要となった。

5.2 グラフィック表示装置

表示デバイスとして液晶ディスプレイ、プラズマディスプレイ、CRT ディスプレイ等を検討したが、結局 CRT ディスプレイが現状では、表示面の大型化、表示スピード、解像度、輝度制御等の面で、AGS5000 の表示装置の要求に応えられる最適のデバイスであるとの結論に達した。

当時(昭和 61 年)ソニー(株)にて大型高精度カラー CRT モニタの開発中であったが、当該 CRT モニタの試作モデルを用い、ソニー開発グループの協力を得て、エンドユーザである客先デザイナーに参画していただき、数回にわたる評価実験を実施した。CRT の表示線質の評価に当たっては、CRT の持つ解像度 2,048 ドット×2,048 ドットをどこまで上げれば使用可能となるか、ソフトウェアによるシミュレーション結果を CRT に表示させて行った結果、1 ピクセル当たり 16 階調の輝度コントロールを行うことで良いとの結論を得た。

また、カラー CRT とモノクロ CRT の比較において、モノクロ CRT の方が管面曲率をより平面に近づけることができ、かつカラー CRT では色選別機構(アパチャグリル、シャドーマスク)による表示線質の低下が起るため、モノクロ CRT を採用することにした。

以上評価の結果、当該 CRT モニタをベースとした大型高精度モノクロ CRT を新たにソニー(株)と共同開発することとなった。

役割分担は要求仕様の定義と評価を当社、開発の実施をソニー(株)とした。

5.3 グラフィック制御装置

グラフィック制御装置に対しては、表示線質・表示線分の認識において AGS4145 相等以上の性能、表示画面の即時性においては従来の 5 倍の表示画量をフリッカなしで AGS4145 相等の滑らかさで動かすことができる性能、モデル全体を表示可能とする表示容量を実現する性能、表示操作のカスタマイズ化を容易に実現する機能等が求められた。

グラフィック制御装置の開発に当たって、表示線質、表示の応答性、表示の量、インタラクティブ機能、ユーザ定義機能、保守性、信頼性の面から要求仕様をまとめ、主なグラフィック・ディスプレイ・メーカーの情報収集、調査、検討を行った。その結果は、要求を満たす製品は存在せず新規開発を行うこととした。要求仕様書をもとに複数のグラフィック・ディスプレイ・メーカーに対し開発の検討を依頼し、技術、費用、

納期の面で評価した結果、セイコー電子工業(株)と共同で開発を行うことに決定した。

5.3.1 表示線質

AGS5000 システムの表示線質としては、ランダム・スキャン型 CRT の表示線質と同等、またはそれ以上の表示線質が求められており、ラススタ・スキャン型 CRT ディスプレイの欠点である、①ジャギーの発生、②表示線の角度による輝度ムラ、③重複する線の認識が困難、の三点を克服する必要がある。

従来の製品で実用化されているアンチ・エリアシング方式により実験評価を行った結果、要求を満たす線質を得ることはできず新方式の開発が必要との結論を得た。

新アンチ・エリアシング方式は面積法を基本に置いたものであり、ソフトウェアによるシミュレーションの結果十分要求を満たすとの結論を得て、そのハードウェア化(LSI化)を行った。

5.3.2. 表示の応答性と表示容量

AGS4145 が採用しているランダム・スキャン方式の CRT ディスプレイでは、ディスプレイリストに定義された表示用データを順次読み取り、都度 CRT 上に描画し、それを繰り返し行うことにより CRT の残像効果で CRT 上の画を人間が認識する方式が採られている。画を変化させる場合は、ディスプレイリスト上の表示用データを変更すれば、次の描画時に変更後の画が CRT 上に現われることから画は滑らかに動く。この方式では描画する画量が増加すると、前に描いた画の残像が消える以前に同じ画が描けず、フリッカを起こす欠点を持っている。

一方ラススタ・スキャン方式では、ディスプレイリストに定義された全データをいったんフレームバッファ上に展開し、CRT のスキャンレートに合わせ、フレームバッファ上の画を CRT 上に描画する。この方式で画を動かすためには、変更されたりリスト上のデータをすべてフレームバッファに展開して CRT 上の画を切り換えるため、フリッカは発生しないが、描画する画量の増加により画の動きが、滑らかでなくなる欠点がある。

ラススタ・スキャン方式を採用した AGS5000 では、滑らかに感じる動きを実現するためには経験上 20 画面/sec 程度の画面更新が必要と判断した。画面更新を行うための性能としてはディスプレイリスト上に定義された構造の解釈、三次元ベクトルを描画するための 4×4 マトリックス演算能力、ベクトル情報をフレームバッファ上に展開するためのベクトル・ピクセル変換能力が重要な要素となる。

表示の応答性と表示容量の要件が、グラフィック制御装置のハードウェアの設計に重大な影響を持つため、開発に先立ち AGS5000 の表示用データ構造を定め、この構造を持つ評価モデルを作り、表示の応答性と表示画量に関する要件を、このモデルで 1 秒間に 20 フレーム表示更新ができることを仕様とした。

5.3.3 評価モデルの設定

ディスプレイリスト上に定義されるデータ構造は AGS5000 では、①線・文字・マーカ等を描画する命令 PRIMITIVE、② PRIMITIVE を集合して単位図形としてまとめる ELEMENT、③ ELEMENT をまとめモデルの動き等により性格付けする SEGMENT、④モデルの見え方を定める VIEW、⑤各々の要素の位置関係を定める PATH の 5 階層から構成される。PRIMITIVE を除く各々の要素は属性(表 1)を持

表 1 データ構造の各要素と属性
Table 1 Attribute of control block in structured display data

要素	属 性										
	可視	検出	強調 1	強調 2	線種	線幅	輝度	デプス キュー	重 複 高輝度表示	投影方法	アンチ・ エイリアシング
VIEW	○	○	○	○	○	○	○	○	○	○	○
PATH	○	○	○	○	○	○	○				
SEGMENT	○	○	○	○							
ELEMENT	○	○	○	○	○	○	○				

ち、それらの ON/OFF 制御、PATH により定義される配置マトリックスの変更により描画される画の性質および画の動きが定まる。

例として、4本のボルトで固定された台座に回転台がのり、自由に動くアームと、物体を握むためのツメを持つリフト(図2)を基にした表示データ構造を図3に示す。

図3の表示データ構造では、ボルトと固定された台座に4本のPATH(P21~P24)を張ることにより、1本のみ定義されたボルトがVIEWの上では4本それぞれの位置に配置される。またS4, S5, S6, S7とアームの構造が直列に配置されていることは、アームおよびツメの配置が上位の動きに影響を受けることを示す。

この例を基にアーム、およびツメのみをディスプレイ上に表示し、アームの動きの評価を行う場合、可視属性はV2/OFF, S2/OFF, E3/OFFとし、その他の可視属性をONとする。また、ダイヤル等による入力値をP41, P51, P61に割り付け、その値を基に配置マトリックスの値を演算し、PRIMITIVEによる図形をフレームバッファ上に展開することにより、ディスプレイ上のアームを動かすことができる。

以上の例より、表示構造リストの複雑さと全体画量に占める可視属性ONの画量が、表示の応答性を決める重要な要素となることが理解できる。

AGS5000の表示の応答性評価モデルの設定に当たって、数種のアプリケーションを解析した結果、その画量と構造を以下の通りとした。

画量については、三次元図形、文字列、マーカを描画する三種類のPRIMITIVEを

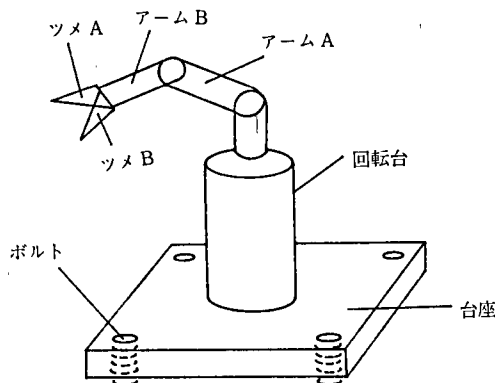


図2 リフト

Fig.2 Lift

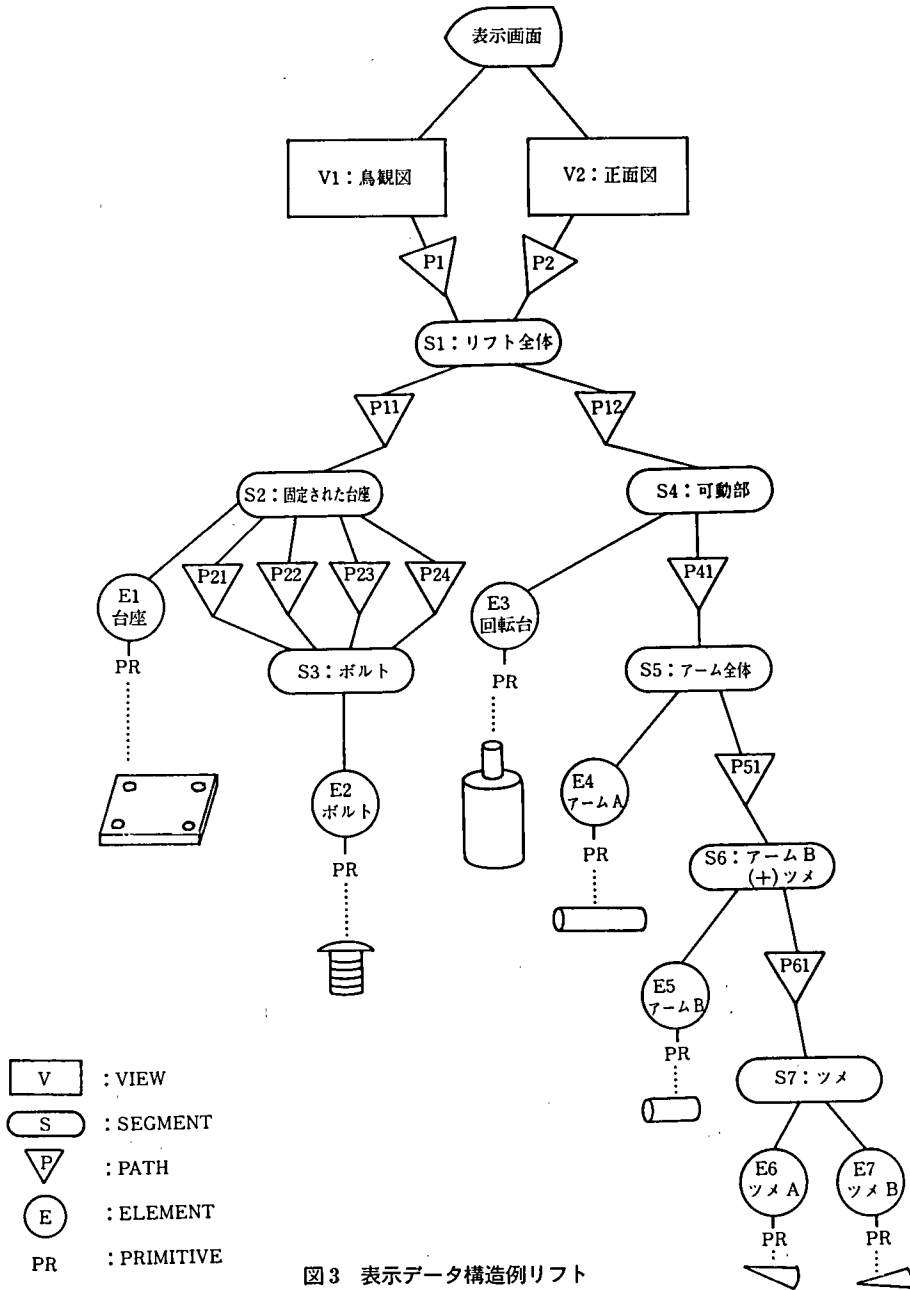


図3 表示データ構造例リフト
Fig. 3 Structured display data of lift

用いることとし、その数と条件を表2に示す通り定めた。

表2の条件から描画ベクトル数を計算すると、

- 1) $5,000(\text{POLYLINE}-3) \times 4(\text{ベクトル}) = 20,000(\text{ベクトル})$
- 2) $40(\text{POLYMARKER}-3) \times 5(\text{マーカ}) \times 16(\text{ベクトル}) = 3,200(\text{ベクトル})$
- 3) $20(\text{TEXT}-3) \times 10(\text{文字}) \times 24(\text{ベクトル}) = 4,800(\text{ベクトル})$

となり1), 2), 3)の和で28,000(ベクトル)となり、この画量を毎秒20フレーム描画するためには、単純計算の上では毎秒56万ベクトルの処理能力が必要となる。

表 2 評価モデルプリミティブの条件
Table 2 Primitive of evaluation model

プリミティブ	条 件	数
POLYLINE-3	1 ECB当たり 1 POLYLINE 1 POLYLINE当たり 5 頂点	5,000
POLY MARKER-3	1 ECB当たり 1 POLYMARKER 1 POLYMARKER当たり 5 MARKER 1 MARKER当たり 16ストローク (MOVEと DRAWの和)	40
TEXT-3	1 ECB当たり 1 TEXT 1 TEXT当たり 10文字 1 文字当たり 24ストローク (MOVEと DRAWの和)	20

表 3 評価モデル構造の要素の条件
Table 3 Control block of evaluation model

要 素	条 件	数	
VIEW	可視属性 ON	6	
	可視属性 OFF	42	
PATH	可視属性 ON の VCB にネストされているもの	180	
SEGMENT	可視属性 ON の VCB にネスト されているもの	可視属性 ON	60
		可視属性 OFF	120
ELEMENT	可視属性 ON の VCB にネスト されているもの	可視属性 ON	5,060
		可視属性 OFF	800

表示の応答性を決めるもう一つの要素である表示データ構造を図 4 に示す。また、構造の各要素の条件と数を表 3 に示す。

ベクトル演算機構としてはベクトルを連続的に演算するパイプライン制御が通常用いられるが、パイプライン制御においてはベクトル入力の切れ目に無効時間が発生する。評価モデルでの表示構造の解釈時に発生する無効時間を 1/2 とすると、グラフィック制御装置のベクトル演算能力は 56 万ベクトルの 2 倍である約 110 万ベクトル必要となる。また、毎秒 110 万ベクトルの速度でパイプラインより出力されるベクトルを、アンチ・エリアシングを行いつつフレームバッファ上にピクセル展開する能力も必要となる。

以上に述べてきた要件を満たす、グラフィック・エンジンを備えた AGS5000 は、最高速のグラフィック・ディスプレイに位置付けられる。

5.3.4 インタラクティブ機能

オペレータによる入力として、文字列入力、図形/メニューの選択、ダイヤル等の操作による数値入力等がある。それらの入力情報はアプリケーションに受け渡され、処理結果を表示に反映することにより、画の動き等が起こる。これらの一連の処理をインタラクティブ機能と呼んでいる。

AGS5000 のインタラクティブ機能の特徴的なものとして、ローカルビュー機能、およびピック処理がある。また、インタラクティブ機能のカスタマイズ化を容易に行うため、入力デバイスとその配置を自由に行える機能を提供している。

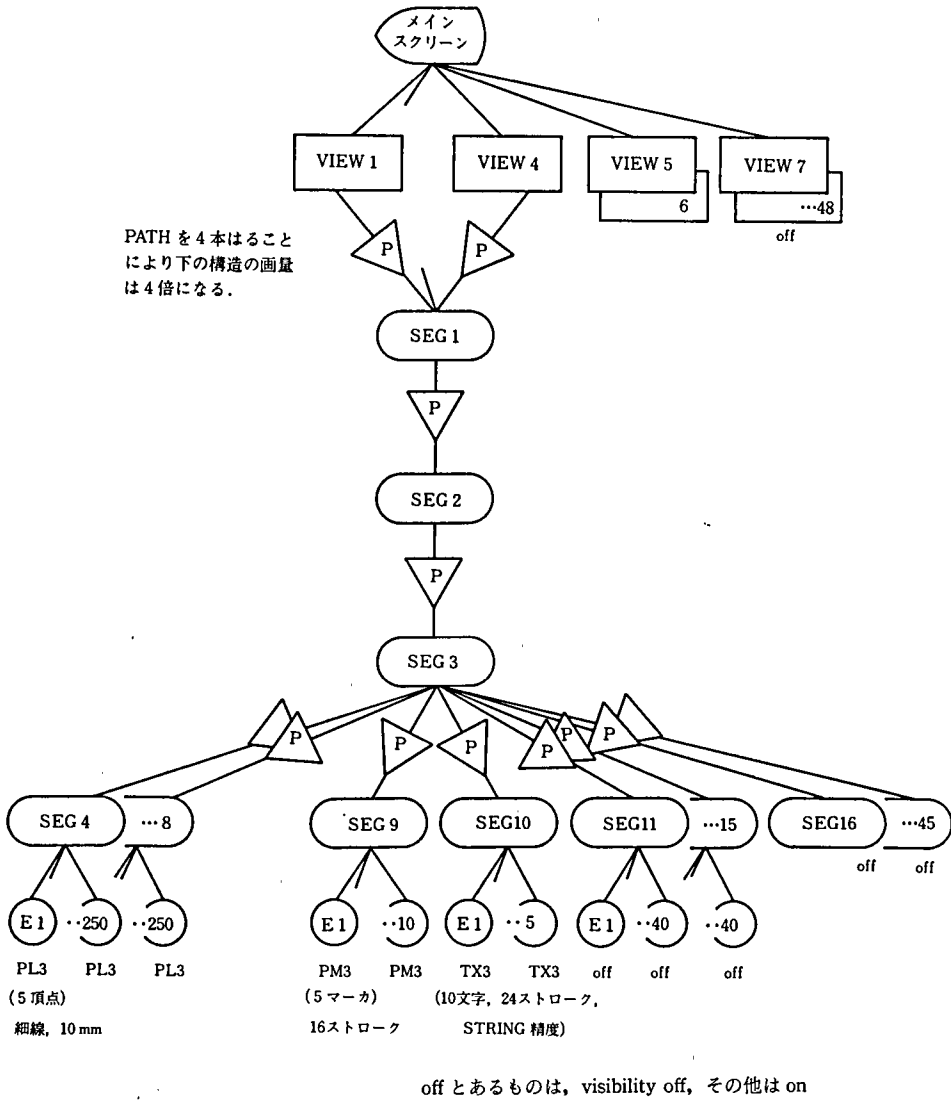


図 4 評価モデルの表示データ構造

Fig. 4 Structured display data for evaluation model

以下にそれらについて説明する。

- 1) 入力デバイスと配置……AGS5000 においては、各種入力機器はすべて論理化され、使用者は各機器の物理的仕様をあまり意識することなくプログラミングできることが要求されている。

入力デバイスとしては、JIS キーボード、ファンクションスイッチ、ダイヤル機構(×2)、小型タブレット、ジョイスティックが接続可能であり、物理デバイスと論理デバイスの対応は 1: n、あるいは n: 1 を可能とし、ユーザアプリケーションからの指定に基づき、グラフィック制御装置が実配置を行うこととした。

- 2) ローカルビュー機能……グラフィック処理装置の負荷の低減をはかるため、オペレータの入力操作により、アプリケーション・プログラムとは非同期に VIEW

を変化させるローカルビュー機能をグラフィック制御装置に持たせることとした。

この具現化には、あらかじめ設定した入力デバイスの配置とプログラムにより、次の動作をグラフィック制御装置が独自に行えることが必要である。

① ビューイング情報の変更

- ・ビューボリュームの回転と並行移動
- ・ウィンドウのズームとパニング
- ・視点、視中心の移動

② 配置マトリックスの変更

この機能は UDF (user definable function) の一つのアプリケーションとして実現された。この UDF はユーザ・アプリケーション・ソフトウェアのインタラクティブ処理のカスタマイズ化を支援するために開発された機能で、あらかじめ定義されたファンクション・ボックスと処理手順を記述することにより、グラフィック制御装置が独自にプログラミングする機能である。

3) ピック入力……図形またはメニューの検出はランダム・スキャン型ディスプレイでは、表示図形が検出点（オペレータによりライトペンまたはカーソルにより指示される）を描画した時点の座標値を読み取ることにより行われる。

ラスタ・スキャン型ディスプレイにおいては、疑似的に描画面積を極少化し、そのエリアに描画される画の座標値を読み取ることにより検出する。ピックされた画をオペレータに知らせるために、強調属性によるハイライトを加えることをエコー表示と呼ぶが、当該機能を含め検出機能は定義されている。

AGS5000 のピック入力の性能に関する要求仕様としては、表示の応答性を評価する評価モデルを用いてピック操作を行ったとき、1/10sec でエコー表示ができること、また図形ピック時に指示器の移動に対し即時にエコーが表示されるプレゼンスエコー機能が可能であることがあげられた。

5.3.5 その他の機能

その他の配慮として、以下のような機能の提供が可能なることを要件とした。

- 1) ユーザ定義機能とその登録……カスタマイズを容易にするため、アプリケーション・プログラムにより定義された、線種、カーソル、マーカ、外字、メニュー、メッセージ、UDF を登録する機能と、それらを使用する場合、使用指示のみで用いることが可能な機能を提供することとした。
- 2) ペリフェラルのシェアと表示画面のベクトル出力……グラフィック・システムの支援ペリフェラルとしてグラフィック処理装置に、デジタイザ、プロッタの接続が可能であるが、これらを処理装置間でシェアできるよう、LAN 機能を提供することを考慮した。また表示画面のベクトル情報の出力を可能とし、直接これら情報をプロッタに出力することにより、高速に高品位な画を紙に出図可能とした。
- 3) 人間工学的配慮 (エルゴノミクス) ……操作環境の調査を AGS4100 システムの利用ユーザに対して実施した結果、
 - ① 通産省 VDT 分科会、労働省、日本電子工業振興会等の VDT 作業に対するガイドラインに準拠すること、

- ② オペレータとデザイナーの2人がCRTの前で作業が行えること、
- ③ 図面を広げるスペースが確保されていること、
- ④ 入力デバイスは、その使用頻度を考慮して配置されていること、
- ⑤ グラフィック表示装置の形状は、その大きさが操作者に威圧感を与えないよう配慮されていること、

等が判明したが、これらのことを前提にシステム全体が調和のとれるような機構の設計を実施することとした。

6. 特 徴

以上述べてきた要求項目を基に実現した AGS5000 グラフィック・ディスプレイ・システムの特徴を次に示す。

- 1) 大型高解像度・超フラットディスプレイ装置……32型、解像度2,048ドット×2,048ドット、表面曲率40,000R、かつ電子回路による表示画面の歪みを極少化したCRTモニタの実現により、設計モデルを忠実に表示可能とした。
- 2) 高品位アンチ・エリアシング方式……面積法を基本とした新アンチ・エリアシング方式を採用し、LSI化することにより描画速度を落とすことなくスムーズな曲線の表示を可能とし、次のような特徴を持たせることができた。
 - ① ラスタ・スキャン型CRTの採用が可能となり、ランダム・スキャン型ディスプレイの持つ「表示画量の増加によるフリッカ」の発生をなくすことができた。
 - ② ショートベクトルとの接続部に対し微細に輝度制御を行い、よりスムーズな曲線が表示可能となった。
 - ③ ランダム・スキャン型ディスプレイと比較すると、やや線のシャープさに欠けるが実用上問題ないレベルで実現できた。
 - ④ 高輝度表示による重複線の識別が可能となった。
- 3) 高速グラフィック・エンジン……110万ベクトル以上の処理能力を持つグラフィック・エンジンの実現により、構造を持つ2万8千ベクトルの画を滑らかに動かすことが可能となった。
- 4) 高速インタフェース……大量データ、少量データとも効率良くデータ転送を行うことができる新インタフェースの実現により、画面更新を効率良く行うと同時に曲線制御において、1台のグラフィック処理装置で4台のグラフィック・ディスプレイを制御可能とした。

最後に、今回開発のAGS5000と開発の目標のベースとなったAGS4100との主な機能・性能の比較を表4にまとめた。われわれが同等、あるいはそれ以上とした開発目標がほぼ達成できたことが概観できる。

7. お わ り に

昭和61年12月より開発に着手したAGS5000グラフィック・システムも平成元年8月一号機を客先に納入設置することができた。

要求を満たすシステムは、当初見積もった開発費と開発期間で完了できた。その主な理由は、以下のような点にあると考えている。

表 4 AGS4100 対 AGS5000 比較表
Table 4 Comparison of AGS4100 vs AGS5000

	AGS 4100	AGS 5000	特 徴
表 示 画 面	直径19インチ円形 4,500R	20インチ×20インチ正方形 40,000R	大型超フラットCRT
描 画 方 式	ランダム・スキャン	ラスタ・スキャン	高速高品位アンチ・ エリアシング方式
表 示 線 質	線がシャープ ベクトルの継ぎ目が目立 つ	線がやや太い 総合的評価：ランダム・ス キャン以上	高速高品位アンチ・ エリアシング方式
重 複 線 の 認 識	ランダム・スキャンの性質 上高輝度表示となる	表示属性の変更により高輝 度表示のON/OFFを行う	高速高品位アンチ・ エリアシング方式
デプス キューイング	あり, 64階調	輝度コントロールにより 256階調	高速グラフィック・エン ジン
描 画 速 度	4,000ベクタ以上でフリッ カ発生	28,000ベクタの描画を 20回/sec	高速グラフィック・エン ジン
曲 線 制 御	10回/sec×2 CRT	10回/sec×4 CRT	高速インタフェース グラフィック処理装置 能力
ローカルビュー	な し	ビューイング情報の変更 配置マトリックス	UDF
画 面 コ ピ ー	グラフィック処理装置に よる演算結果の出力	グラフィック制御装置か らのベクトル情報の出力	高速グラフィック・エン ジン
ユーザ定義機能	な し	7種	ローカルデータ・ストレージ

- 1) 数多くの新技術へのチャレンジ項目がクリアできた。
- 2) 高速、高品位表示ではあるがモノクローム、レンダリング機能なし等、現在のコンピュータ・グラフィックの動向から見て特殊仕様のディスプレイ仕様を自信を持って確定できた。
- 3) 共同開発を行った会社もソニー(株)、セイコー電子工業(株)、三菱電機(株)と三社にわたったが各社間の開発の調整がスムーズに行えた。

開発方針の第一にあげた「設計者の感性に呼応する表現力と応答性を持つシステムであること」を果たすシステムとして完成できたのは、要求仕様がはっきり定義できたことにつきると考える。共同開発の三社に対し、要求ベースとなる根拠をはっきりと示すことができ、途中妥協することなく要求達成に向け努力できたものもすでにAGS4100システムをご使用いただいている顧客からの要求がベースにあったからだと考える。

顧客の評価は今後に待たなければならないが、自分達の評価結果としては要求される機能/性能を満たすことに専念するあまり、結果的には見積りが安全サイドに片寄り、若干オーバスペックになった部分があったことは反省しなければならない。

今後の課題として、ユーザの要求はあるが今日達成できなかったカラー化、およびレンダリング機能の追加をAGS5000システムの他機能/性能に見劣りしない形で実現するためには、CRT モニタ、グラフィック制御装置に解決しなければならない問題が数多く残っており引き続き検討が必要である。

最後に AGS5000 システムの開発が無事完了できたのも要求仕様の定義に際しご協力頂いた顧客デザイナーおよびシステムエンジニアの方々、各々の開発の実行を担当いただいたソニー(株)、セイコー電子工業(株)、三菱電機(株)の関係者の方々のご協力によるところが大きい。末筆ながら厚くお礼申し上げたい。

執筆者紹介 森 分 芳 男(Yoshio Moriwake)

昭和 37 年電気通信大学電波工学科卒業。同年日本ユニシス(株)入社。周辺機器、端末機、日本語情報処理システム(LET'S-J)の開発を行い、61 年末より AGS5000 の開発に従事。現在マイクロプロダクト本部 NGS 開発プロジェクトに所属。



ラスタ・スキャン型ディスプレイ用の 高品位アンチ・エリアシング方式について

High Quality Anti-aliasing for the Raster-scan Display

嶋田 博明

要約 コンピュータを用いた形状設計システム、なかでも自動車のスタイル設計等、複雑・高精度な三次元モデルを取り扱う業務では、ヒューマン・インタフェースの中心となるグラフィック・ディスプレイ装置にも、高度な機能と性能が求められる。

設計者(デザイナー)が形状の定義・評価・修正を、ディスプレイ装置上で繰り返し、完成度の高いモデルをコンピュータ・システム上に構築するためには、画面に表示される図形が設計モデルを忠実に表現する必要があるが、現在一般的に普及しているラスタ・スキャン型グラフィック・ディスプレイでは表示分解能、表示線質の2点を取ってみても、これらの要求に応えられているとはいえない。

日本ユニシスでは同分野用に表示分解能 32,768×32,768 画素相当の高精度表示と、ラスタ・スキャン方式の欠点であるジャギを解消し、ランダム・スキャン方式相当の高表示線質を実現した AGS 5000 グラフィック・ディスプレイ・システムを開発し提供を開始した。

Abstract For computer-aided surface designing intended especially for the applications including car styling where complicated, high-precision 3-D models are calculated, advanced functionality and high performance are also called for on the graphics display system which plays a core role in man-machine interfacing.

Designers' construction of highly successful models on computer systems through their repeated surface definition, evaluation and correction on a CRT screen requires the displaying of graphics on the CRT screen, which are as faithful as possible to designed models.

It is almost difficult to say, however, that the Raster-scan type CRT display device currently in wide use meets the requirements even in terms of picture quality as well as display resolution.

Nihon Unisys, Ltd. has developed and begun to ship the AGS 5000 Graphics Display System which provides the following features suited for complicated 3-D modeling:

- Logical resolution of 32,768×32,768 pixels on a 20×20-inch CRT screen for high-accuracy display.
- Anti-aliasing hardware for both superior picture quality and high-speed display.

1. はじめに

ランダム・スキャン型グラフィック・ディスプレイである AGS 4100 の後継機を開発し、提供を開始した。新グラフィック・ディスプレイ AGS 5000 ではラスタ・スキャン方式の採用により、ランダム・スキャン方式最大の欠点である「フリッカ・フリーでの図形表示量の少なさ」が解消された。しかしその反面、ラスタ・スキャン方式の欠点であるジャギ問題を解決し、ランダム・スキャン相当の表示線質を得ることが最大の課題であった。この課題に対して、筆者らは従来からソフトウェアのアルゴリズムとして実現されている面積法と呼ばれるアンチ・エリアシング方式をハードウェア化

し、高表示線質と高速図形表示が両立する方式を開発し適用した。

本稿では、問題解決のために AGS 5000 に適用したアンチ・エリアシング技術について報告する。

なお、本方式の開発に当たっては、要求仕様・方式提案・評価作業を当社が、またハードウェア化の検討・開発作業をセイコー電子工業がそれぞれ行った。

2. ラスタ・スキャン化にともなう問題点

AGS 4100 はランダム・スキャン方式を採用しており、①滑らかな表示線質、②スムーズな動的表示を特徴としていた。しかし反面、方式上の欠点である③図形表示量を増やすとフリッカが発生するという問題も合わせ持っていた。AGS 5000 は、この問題を解決するため、ラスタ・スキャン方式を前提に設計された。方式の変更にともないラスタ・スキャン方式の欠点、もしくはランダム・スキャン方式との表示上の差異で、解決すべき項目として以下があった。

- 1) ジャギ……ラスタ・スキャン方式で斜めの直線を表示したとき、ジャギ、エリアシングまたはステア・ケースと呼ばれる階段状の線となる問題がある(図1)。

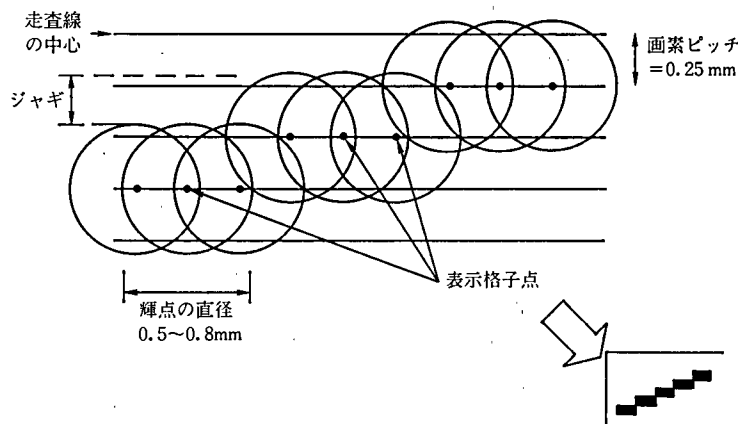


図1 ジャギ

Fig.1 Jaggie

これはラスタを構成する画素のピッチ(一般的なグラフィック・ディスプレイで 0.25 mm 程度)に起因するもので、方式上の欠点である。これに比較しランダム・スキャン方式では、電子ビームそのものが直線上を走査するため滑らかな直線表示が可能である。

- 2) 重複線の高輝度表示……ランダム・スキャン方式では、表示すべき図形情報をもとに電子ビームを走査するため、管面上で同一場所に見える2本の線を表示するとき、電子ビームは同一場所を2回走査する。CRTの蛍光体は2回励起され、結果として高輝度表示が行われる。一方ラスタ・スキャン方式の場合は表示場所が同一の場合、そのフレーム・バッファは一つしかなく、内容的にも一つの値しかとれない。したがって一般的には後書き優先、または輝度の高い線を優先することになり、高輝度表示は行わない(図2)。

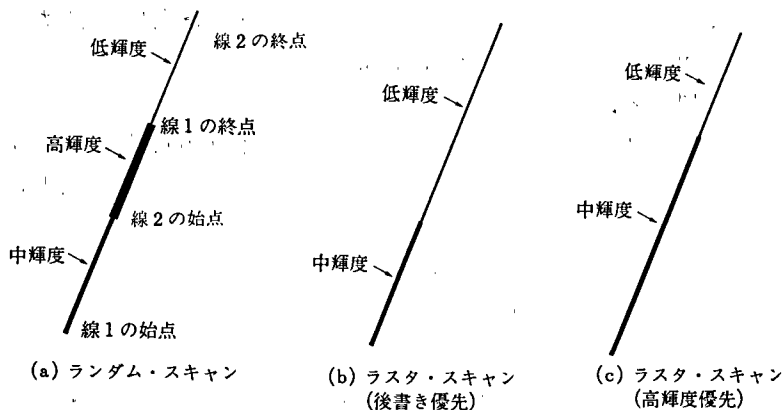


図2 重複線の表示を行った時の両方式差異
 Fig. 2 Overlapped line display by each scan method

3) 水平/垂直線と斜線の輝度差……ランダム・スキャン方式、とくに高級型である AGS 4100 では水平線、垂直線、斜線で輝度差が発生しないように電子ビームの走査速度を一定としている。ラスタ・スキャン方式では、水平線と垂直線の長さが等しいとき、線を構成する画素数も等しく、線として同一の輝度を得ることが可能であるが、斜線の場合は画素数が同じであっても長さが異なり、画素密度が低下する。表示された線の輝度も低下し、45度の線が最も低輝度(約70%)となる(図3, 写真1)。

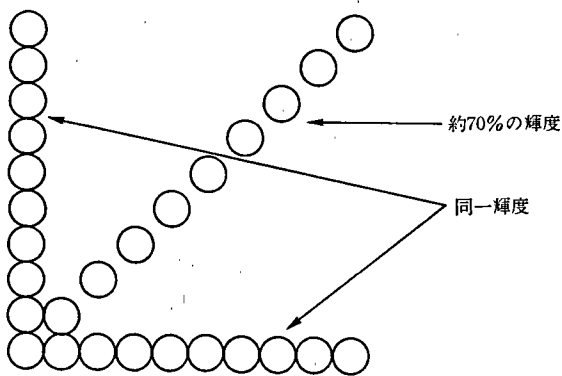


図3 水平/垂直線と斜線の輝度差
 Fig. 3 Different intensity between horizontal/vertical line and diagonal line

4) 高密度表示における干渉縞……線を高密度表示したとき、たとえば1点から放射状に線を表示した時の中心部等で幾何学的な縞モードが生じる(写真1)。これもラスタ・スキャン方式独自の問題であり、表示分解能の低さとフレーム・バッファに画素を書き込むとき、後書き優先または高輝度優先で書き込まれるために発生する。ランダム・スキャン方式では重複する場所で高輝度になるものの、各線は互いに影響を及ぼさないためこの問題は発生しない。

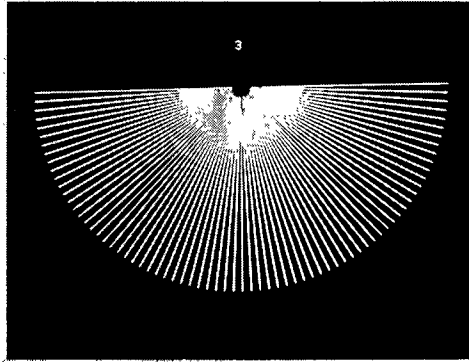


写真 1 高密度表示における干渉縞
Photo. 1 Interference of high density display

3. 製品化されたアンチ・エリアシング技術

前章で述べたジャギを改善する手法(アンチ・エリアシング手法)として、以下の2方式が考えられる。

- 1) 実表示分解能の向上……ジャギの要因となる画素ピッチを縮小するもので、16画素/mm(画素ピッチで0.06mm)程度が必要となる。
- 2) 見かけ上の表示分解能向上……隣り合う2点またはそれ以上の画素について、その輝度を制御することにより輝点中心が画素の間に見えるよう、目の錯覚を利用するものである(図4)。

AGS 5000 への適用を考えたとき、1)の方式は非現実的であった。それは、表示サイズ498×498mmの大型CRTを採用したことによる。一般的な表示分解能、すなわち2,048×2,048画素(約4画素/mm)を実現するだけでもビデオ信号周波数は360MHzが必要であり(20型グラフィック・ディスプレイに比較して3倍)、技術的な限界値に近く、さらにこれを16倍にすることは困難であった(D/A変換器単体では500MHzが、また単階調のラスタ・ディスプレイでは1.5GHzまで商品化されている)。また、フレーム・バッファ容量も16倍必要となり、多階調表示を行うAGS 5000では

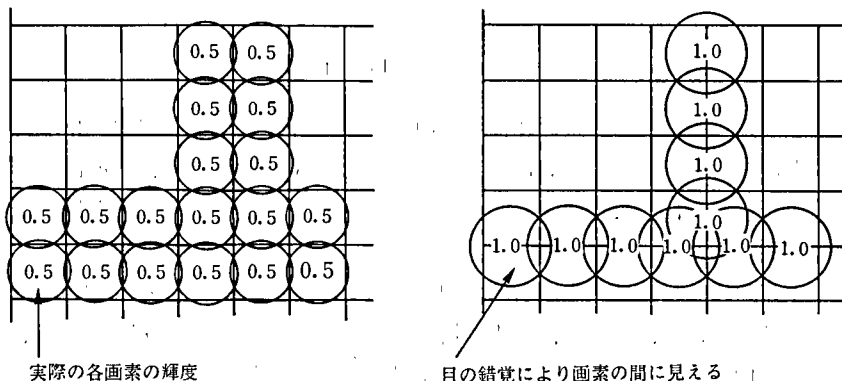


図 4 見かけ上の表示分解能の向上

Fig. 4 Fractional coordinates by combined intensity

経済的にも不利であった。

2)の方式はラスタ・スキャン型ディスプレイが登場した1971年以降、多くの手法が考案されてきた。しかし、それらの多くはソフトウェアのアルゴリズムとして実現されたもので、高速表示には適当でなかった。またラスタ・スキャン型のグラフィック・ディスプレイにハードウェアとして搭載された例も数少ない。

現在までに製品化された技術についての評価結果を以下に述べる。

3.1 ツイン・ビーム方式

1980年発表の、当社AGS 2000(現セイコー電子工業よりOEM供給)に装備されたもので、上下または左右の隣り合う2画素の輝度を制御することにより、見かけ上の表示分解能を4倍に上げる方式である。直線発生器を2個装備し、主画素・副画素を同時に発生する。さらに、それぞれの画素の輝度を4段階に制御するものである。

以下に特徴を述べる。

- 1) 輝度制御が4段階と少ないため効果が低い。
- 2) 斜線における端点形状が鋭角となり、線と線の接続が滑らかでない。
- 3) 水平/垂直線と斜線の輝度差が生ずる。
- 4) 線分発生方向により副画素の位置が固定されるため、切り換えの点において1画素分の段差が生じる。

3.2 ピクセル・フェージング方式

1984年、米国メガテック社より発表されたMarlin 9200で採用された。一定速度/一定間隔で走査されているラスタ・スキャン方式の電子ビームを、画素の位置情報をもとに電気的に微調整する方式である(図5)。

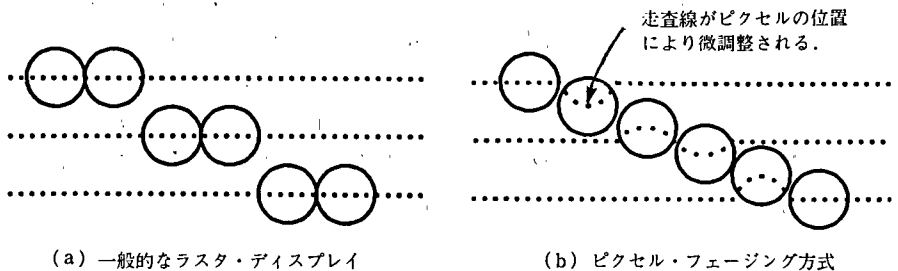


図5 ピクセル・フェージング方式の原理

Fig.5 Pixel phasing

この方式では、768×576画素のCRT上の表示を実分解能3,072×2,304画素とすることが可能である。具体的にはビーム走査速度(水平走査回路)を左右方向の表示位置誤差信号で、また垂直走査回路を上下方向の表示位置誤差信号でそれぞれ4段階に微調整する。

本方式における最大の短所は、線の交点で矛盾が発生し、理想的な制御が不可能となることである。すなわち、1本目の線を表示する時に微調整された画素を2本目の線でも使用するとき、必要とする補正量が異なる場合が多く、そのとき画素は正しく微調整することが不可能となる(図6)。

表示上の特徴は以下の通りである。

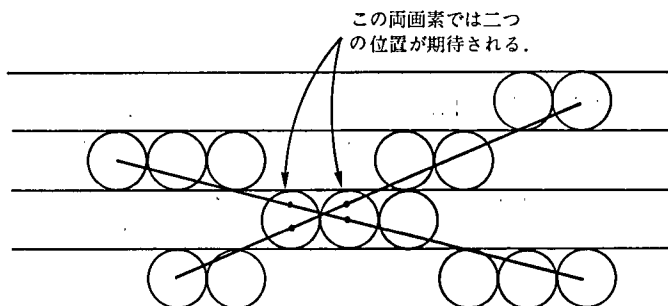


図 6 ピクセル・フェージング方式の矛盾
Fig. 6 Inconsistency of pixel phasing

- 1) 3.1 節の方式に比較し、滑らかな線質が得られる。また、線がシャープである。
- 2) 上下、左右に補正された画素を含む線では、輝度のむらが目につく。
- 3) 線の密集部で干渉縞がある。
- 4) 重複線は高輝度とならない。

3.3 シャドウファックス方式

1987年3月、米国エバンス・アンド・サザランド社から発表された PS 390 で採用された。筆者らの初期検討段階では発表されていなかった。

この方式は、1,024×864画素のCRTにおいて見かけ上8,196×6,912画素の表示分解能を実現するもので、1画素を仮想的に64小画素(8×8)に分割し、画素の輝度を計算処理するものと思われる。カスタムVLSIとしてハードウェア化されているとの説明はあるが、それ以上の詳細は公開されていない。

本方式による表示上の特徴は以下の通りである。

- 1) ランダム・スキャン方式に相当する滑らかな線質を実現している。線の輝度はやや低い。
- 2) 線の密集部において干渉縞が目立たない。
- 3) 重複線の高輝度表示が実現されている。
- 4) 線幅がやや太い。

これらの特徴から本方式では低分解能CRTのビーム・スポットの大きさ(1mm前後)を有効に利用し、アンチ・エリアシングにおける輝度制御を厳密に行っていることが推測される。

次に、AGS 5000における要求項目と各方式での実現の度合いを表1に示す。

表1 要求項目と各方式での実現の度合い
Table 1 Required functions and suitability of each technology

方式	ツイン・ビーム	ピクセル・フェージング	シャドウ・ファックス
要求項目			
ランダム・スキャン相当の線質	×	△	○
重複線の高輝度表示	×	×	○
角度によらぬ定輝度表示	×	×	未確認
干渉縞の解消	×	×	○

4. 高品位アンチ・エリアシング方式の開発

4.1 開発の経緯

AGS 5000の開発開始時には、シャドウファックス方式は発表されておらず、筆者らはラスト・スキャン方式により、ランダム・スキャン相当の線質が得られるという確証を得ていなかった。計画ではツイン・ビーム方式を改良・適用する予定であった。

しかし、ハードウェア化の観点から見たとき、ツイン・ビーム方式には以下の問題があった。

- 1) 要求仕様である表示速度はツイン・ビーム方式の限界であり、方式を改良した場合、速度の達成がむずかしい。
- 2) 水平/垂直線と斜線の輝度を等しくするために、さらに表示速度が低下する。
- 3) 重複線高輝度表示を行ったとき、線の交点において輝点の位置が正確でない。
- 4) 高密度表示における干渉縞について、改善はされるものの最良ではない(3)と同一原因)。

一方、前述のシャドウファックス方式では、ジャギ、重複線の高輝度表示、干渉縞の各問題点が解決されていることが確認された。そこで筆者らは、より表示線質の向上が可能で、高速表示に適した方式を検討した。

重複線の高輝度表示については、フレーム・バッファへの書き込みの際に、各線の輝度を加算する方式で実現が可能であり、フレーム・バッファ制御回路をLSI化することで高速表示も可能と思われた。また、表示分解能を十分高くすることができれば輝度加算により干渉縞の低減も可能と思われた。

したがって、検討のポイントは次の2点に集約された。

- 1) 表示線質を向上するためには、より厳密に輝度制御を行うことが必要である。
このとき、ツイン・ビーム方式で行っている上下または左右の2画素のみを使用する方式では不利である。
- 2) 水平/垂直線と斜線の輝度差を発生しない方式が望ましい。

以上の条件を満たす方式として面積法があり、従来よりソフトウェアのアルゴリズムとして実現されている。すなわちCRT上に表示する直線は、ある一定の幅を持った長方形と考え、その長方形が通過する画素について、画素と長方形重なった面積に応じて、各画素の輝度を制御する(図7)。

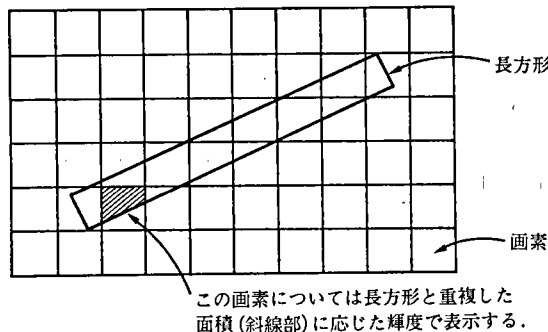


図7 面積法によるアンチ・エリアシングの考え方

Fig.7 Basic algorithm of anti-aliasing

従来計画していたツイン・ビーム方式に比較し、より高品位なアンチ・エリアシングが可能となり(図8), また水平/垂直線と斜線の輝度差も生じない。

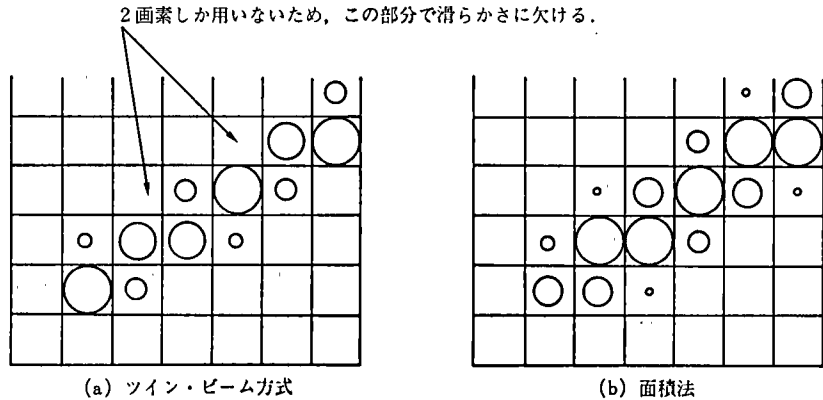


図8 ツイン・ビーム方式と面積法の差

Fig. 8 Difference between adopted method and twin-beam method

4.2 基本方式

面積法をハードウェア化し、高速表示を可能とするために、主に速度・回路規模面から検討し、以下の方式を採用することとした。

あらかじめ面積計算の結果をメモリ上に保持しておき、画素上を長方形が通過する条件をもとにメモリ・アクセスを行い高速に面積を求め、都度計算を行わない(図9)。

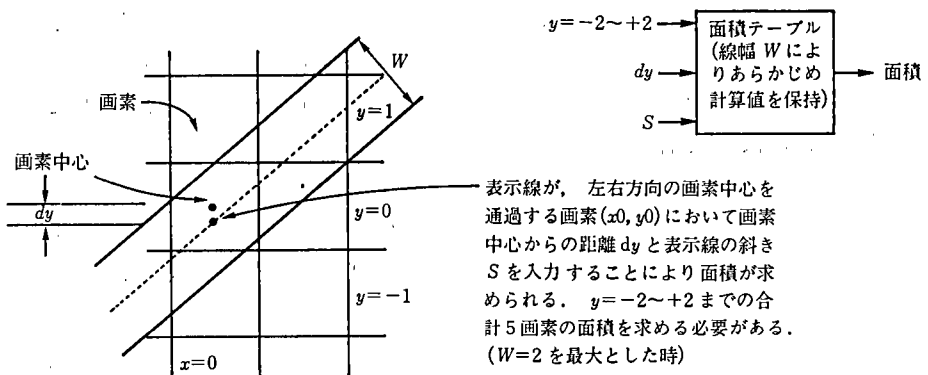


図9 厳密に面積を求める方式

Fig. 9 Hardware implementation for high speed display

面積保持用メモリ容量と始点・終点の輝度制御を考慮する必要があるが、方式上面積を厳密に出力することができ、しかも高速化に向いている。

4.3 表示分解能の最適化

面積法を用いてアンチ・エリアシングを行うとき、最も重要となるのは面積(輝度)をどこまで厳密に計算処理するか、すなわち見かけ上の表示分解能をどこまで向上す

るかということである。分解能が不足すれば十分な効果が得られない。また、過剰な分解能の向上は面積保持用メモリ等、ハードウェア・コストに影響する。

前述したツイン・ビーム方式では制御する輝度階調が少なく効果が不足であることが判っている。また、文献^[1]では32階調(制御ビット数5)から64階調(制御ビット数6)の間で、人間がその効果を識別不能となる点があるとしている。

そこで、試作品である32型CRTと、そのテスト用の信号発生器およびアンチ・エリアシングのシミュレーション・プログラムを用いて最適な輝度階調数(制御ビット数)を実験的に求めた。

次にその結果を述べる。

- 1) 4ビットの階調制御を行う(見かけ上の表示分解能を16倍とする)ことでランダム・スキャン相当の線質が得られる。
 - 2) 3ビット以下では線の滑らかさにおいて4ビットと差が大きく、実用的でない。
 - 3) 5, 6ビットでは、4ビットとの差が小さい。
 - 4) 始点・終点については上下左右ともに分解能を16倍とすることが必要である。
- 以上より、AGS 5000では仮想表示分解能を $32,768 \times 32,768$ 画素とした。

4.4 仮想線幅の最適化

アンチ・エリアシングのシミュレーション・プログラムを用い、仮想線幅 W を実際の1画素以下として水平線を何本か表示すると、そのシャープさにおいて差が表れることが判明した。上下の2画素で直線表示するものと、1画素だけで直線表示するものの差である。

文献^[2]では1画素で直線表示するものと、2画素で直線表示するもので、合計の輝度が等しいとき、線の太さに差がないとしているが、見え方には明らかに差が生じた。

本来、見え方がシャープであることが望ましいが、方式上不可能であるため、最小線幅は1.13画素と設定し、必ず2画素以上で線を表示するものとした。また、最大線幅は面積保持メモリの容量にも影響するため2.0画素までをハードウェアで、それ以上をマイクロ・プログラムで重ね書きすることで太線表示を可能とした。

4.5 端点形状の最適化

図9で説明した直線の間中部と同様に、始点・終点の面積を求めることができる。このとき重要なのは左右方向の分解能を保証することと、計算値として保持する面積(端点形状)を最適化することである。ランダム・スキャン方式では端点の形状が図

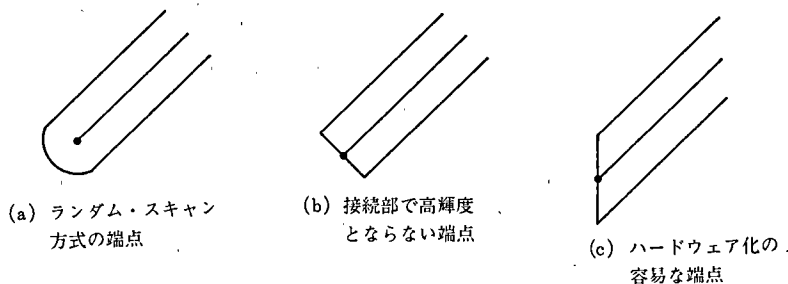


図 10 端点形状

Fig. 10 Shape of end point

10(a)の通りであり、線と線の接続部において輝度が高く、不自然となる欠点がある。

そこで、これを改善するため図10(b),(c)の形状についてシミュレーションを行った。(b)について良好な接続が確認されたが、(c)については場合により節が目立つことがあり実用不可能であることが確認された。したがって端点形状としては(b)を採用したが、ハードウェア化を考えたとき、より複雑な面積テーブルのアクセスが必要となった。すなわち、(b)の端点形状で、左右方向の分解能と面積を保証するためには、面積テーブルの入力として、①端点であること、②左右方向の位置情報 dx 、に加え、③画素選択情報をさらに追加する必要があった(図11)。

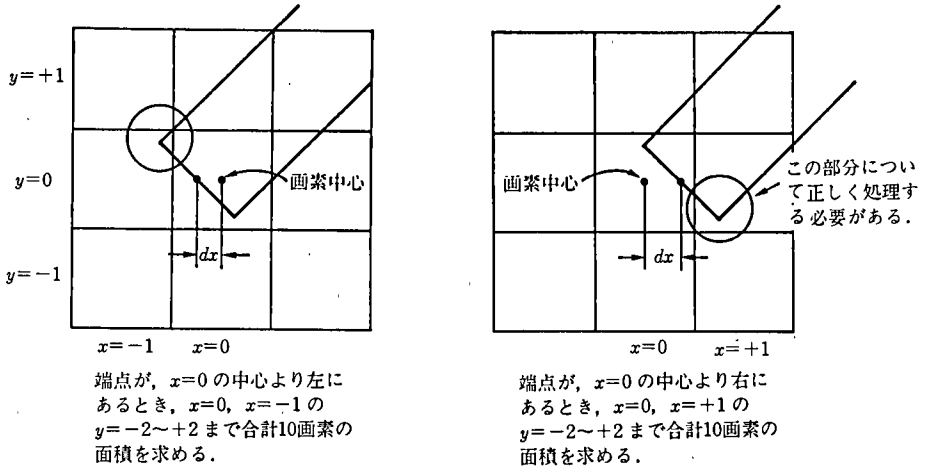


図 11 端点の形状を求める方式

Fig. 11 Method to cover end-point

4.6 ショート・ベクトル処理

直線の間処理が不要となるショート・ベクトル (2画素以下) については、すべてのベクトル長に対する各画素の面積をテーブルに保持する方式とした(図12)。

しかし、最小ベクトル長は 1/16 画素であるため、それに満たないショート・ベクトル

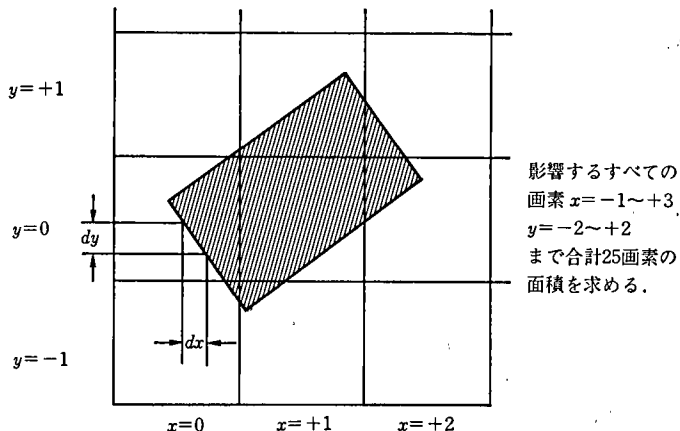


図 12 ショート・ベクトルの書き方

Fig. 12 Process for short vector less than 2 pixels.

ルが連続した場合、その部分で輝度が高くなる。また、2画素以下のショート・ベクトルが連続使用されたとき、処理時間も2～3倍を要することになるが、表示図形を縮小した場合に限られ、全体の表示時間にはほとんど影響しないものと思われた。実機における評価モデルのテストでも問題ないことが確認された。

4.7 表示線質の評価

ハードウェアの開発に先立ち、アンチ・エリアシング方式を完全にシミュレーションするプログラムを作成し総合評価を行った。また、実機における評価も同様に行い、次に示す結果を得た。

- 1) 直線の間中部における線質は、視距離 50 cm においてほぼランダム・スキャン相当である(30 cm 程度まで近づいたとき輝度補正を行っていることが認識できる)。
- 2) 端点の接続状態はランダム・スキャン以上に美しい。ランダム・スキャンで発生する 0.2 mm 程度のエンド・マッチング誤差が皆無であり、接続点で高輝度とまらない。
- 3) 線のシャープさにおいてランダム・スキャンにやや劣る。
- 4) 重複線の高輝度表示は正しく実現されている。
- 5) 水平/垂直線と斜線の輝度差はない。
- 6) 高密度表示部分でも干渉縞がほとんど目立たない。

総合的には本方式の適用により、ランダム・スキャン相当またはそれ以上の表示線質が得られることが確認された(写真2, 3)。

4.8 直線発生機構の LSI 化

以上述べてきた方式、すなわち入力された始点・終点データから、直線発生の方向・線の傾き・長さ等の演算・条件判定を行い、輝度情報をアクセスする回路および得られた輝度情報を基にデプス・キューイング、ライン・テクスチャ処理を行、直線発生する回路を CMOS LSI(15,000 ゲート)化し、約 4,500 万画素/秒(22 nsec/画素)の高速直線発生ハードウェアを実現した。

5. おわりに

AGS 5000 に採用したアンチ・エリアシングの基本方式と、その効果について述べた。しかし、実際の表示ではアンチ・エリアシングの方式に加え、CRT のビーム・スポット形状、蛍光体の発光特性にも十分配慮する必要があった。

また、AGS 5000 は表示線質だけがすぐれているのではなく、高級三次元グラフィック・ディスプレイとして、世界最高速クラスの表示速度を達成し、さらに管面曲率 40,000 R の超扁平・大型 CRT、使いやすいコマンド・インタフェース、高度なローカル機能等、数々の特徴を有したグラフィック・ディスプレイであり、その高品位な表示線質とともに、今後高い評価が得られるものと確信している。

最後に本アンチ・エリアシング方式の実現に多大な協力をいただいたセイコー電子工業の技術者の方々にお礼を申し上げたい。

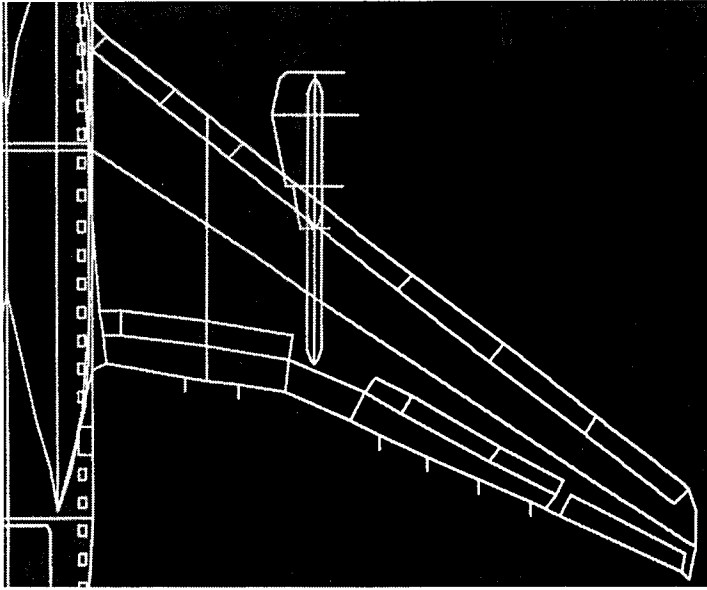


写真2 ラスタ・スキャン方式の通常表示例
Photo.2 Example of normal display

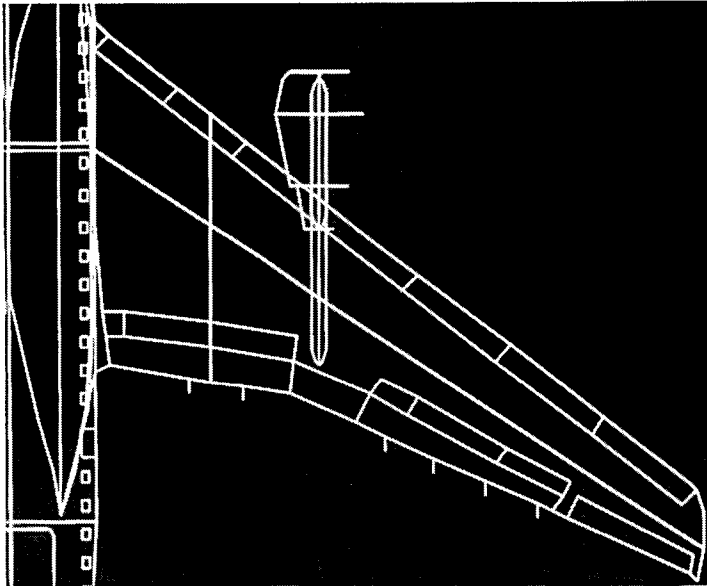


写真3 アンチ・エイリアシングによる表示例
Photo.3 Example of anti-aliased display

- 参考文献 [1] J. D. Foley, A. Van Dam, (今宮淳美訳) コンピュータ・グラフィックス.
[2] J. Trueblood, Theory and Measurement of Anti-Aliased Line Performance, SID 87 DIGEST, pp. 123~126.
[3] J. Trueblood/M. Mizuno, An Efficient Anti-Aliasing Software Algorithm, SID 86 DIGEST, pp. 348~351.
[4] 嶋田博明・野本雄一, ラスタ型ディスプレイの基本技術, インタフェース 1984. 10, pp. 218~248.

執筆者紹介 嶋田博明(Hiroaki Shimada)

昭和44年、愛知県立半田工業高校電気科卒業。同年日本ユニシス(株)入社。グラフィック機器関連のテクニカル・サポート、開発、商品企画業務等を主に行い、61年よりAGS 5000の開発に従事。現在、マーケティング企画本部マイクロプロダクト商品企画部およびマイクロプロダクト本部 NGS 開発プロジェクトに所属。



大画面/超フラット・ディスプレイの開発

The Development of a Large-screen Super-flat Display

烏羽 知久, 土井 博志, 安間 孝夫

要約 自動車に代表される自由曲面を持つ三次元モデルの複雑な図形を細部まで鮮明に表示するためには、大画面の高解像度 CRT モニタが必要である。また表示された図形が歪むことなく正しく形状認識できるためには、より平らな表示面の実現が要求される。

従来これらのアプリケーションに対しては、ランダム・スキャン方式による 23 型丸形の CRT を提供してきたが、形状設計の CAD 化が進むに従いより大量の画量を持つ図形をフリッカなしに表示できる CRT の開発が強く要求された。

このような要求を背景に、このたびラスタ・スキャン方式の CRT をベースとした以下の特徴を持つ大画面/超フラットな高解像度モノクローム・ディスプレイを開発した。

- 1) 大型画面 : 表示エリア 498 mm×498 mm
- 2) 高分解能 : 表示ピクセル 2,048 ドット×2,048 ドット
- 3) 超フラット管面 : 管面曲率 40,000 mmR

本ディスプレイは、現在広く CAD/CAM 用として使われている 20 型 CRT に比べ約 2.7 倍の表示エリアを持ち、管面曲率では 35 倍以上のフラット性を持っている。

また、ダブル四重極・画歪み補正マグネット等の採用により、画歪みの少ない画質を得た。

Abstract A CRT display with a large-size screen and high resolution is required to enable complicated 3D models with free form surface to be displayed in detail for applications like car style designing.

Also such a CRT needs to have a faceplate flat enough to display graphics with no geometric distortion. For those application requirements, the random-scan CRT display, 23 inches and round, has been on the market. However, as more and more CAD applications have developed, demands became stronger for a CRT capable of displaying volume graphics data with no flickers appearing.

On this backdrop, Nihon Unisys, Ltd. has succeeded in developing a raster-scan monochrome display which provides higher resolution.

Its characteristics are as follows:

- 1) Large screen: 498 mm×498 mm for usable screen area
- 2) High resolution: 2,048×2,048 dots in displayable pixels
- 3) Super-flat faceplate: 40,000 mmR faceplate radius

The new CRT has a screen about 2.7 times larger than the standard 20-inch CRT currently in use for CAD/CAM applications, and also has over 35-fold flatness in faceplate radius.

In addition, picture quality with less distortion is available through the adoption of double quadruples, geometric distortion-corrective magnet, and so on.

1. はじめに

グラフィック・ディスプレイの画面上で形状設計をするに当たって最も重要な要件は、いかに設計モデルを正確に表示できるかということである。複雑で大容量の図形を表示し、CRT 管面上に表示された図形で曲線、曲面の評価を視覚的に行うためには、

あたかも紙の上に書かれた図形と同じように見える必要がある。

このような要件を満足させるためには、以下の特性を持つ表示装置を開発する必要があった。

- 1) 大型画面であること
- 2) 高解像度であること
- 3) 管面がよりフラットであること
- 4) 画歪みが少ないこと
- 5) ちらつきが少ないこと

このたび、ソニー(株)と当社が共同でこの開発に取り組んだ結果、管面曲率 40,000 mmR という超フラットな管面を持ち、かつ表示面積 498 mm×498 mm の大画面で画質にすぐれた AGS 5008 グラフィック表示装置の開発に成功した。

本稿では、このように要求された高性能をいかに実現したか、CRT および電気回路の主な開発技術、ならびにとくにワイヤフレーム・モデルを扱う上で重要なポイントとなる画質に対する評価について報告する。

2. CRT 概要

従来にない大きさ (CRT サイズ: 対角 32 インチ) と 2,048 ドット×2,048 ドットの高解像度モノクローム CRT を開発した。

はじめに現在広く CAD/CAM 用として使われている 20 型の 1,280 ドット×1,024 ドットの CRT と今回要求された特性について比較し表 1 に示す。①垂直走査線数と水平偏向周波数が従来のものの 2 倍、②ビデオ帯域においては 3 倍もの特性が必要になることがわかる。

表 1 従来の CRT との比較
Table 1 Comparison with conventional CRT

	2,048ドット×2,048ドット CRT	1,280ドット×1,024ドット CRT
リフレッシュ・レート	60 Hz/NI	60 Hz/NI
垂直走査線数	2,048本	1,024本
アスペクト比	1 : 1	4 : 3
水平偏向周波数	127 kHz	64 kHz
ビデオ帯域	300 MHz	100 MHz

また、今回開発の大型・高解像度 CRT には図 1 に示す新しい技術の組み合わせが用いられている。以下各々の項目について述べる。

- 1) 超フラット大画面 CRT……この CRT の用途が CAD/CAM であることから、見やすさを考慮し、管面曲率の設計を 40,000 mmR とした。しかし、その管面曲率と大きさは、かつてなかった大きな曲率とサイズであるために、CRT を真空にする際に大きなストレスが発生する。そのために、CRT の強度をシミュレーションを実施して求め、パネル中央肉厚を 18.3 mm とした。その外形図を図 2 に示す。

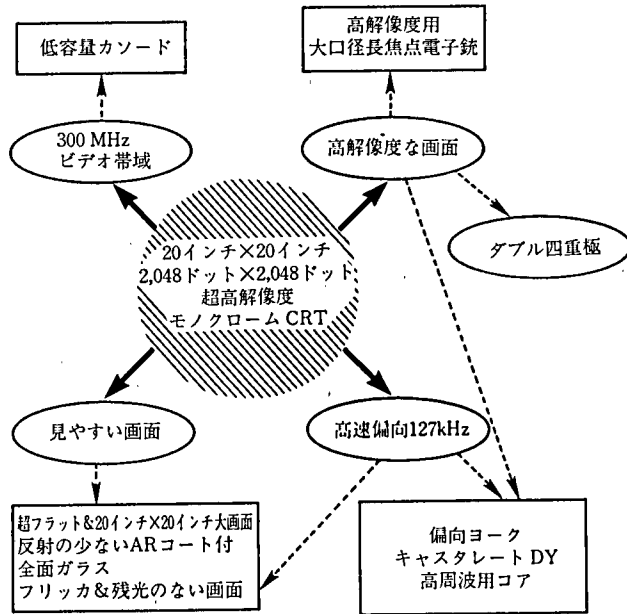


図1 2,048ドット×2,048ドット超高解像度モノクローム CRT の構成
 Fig.1 Structure of 2,048 dots×2,048dots high resolution monochrome CRT

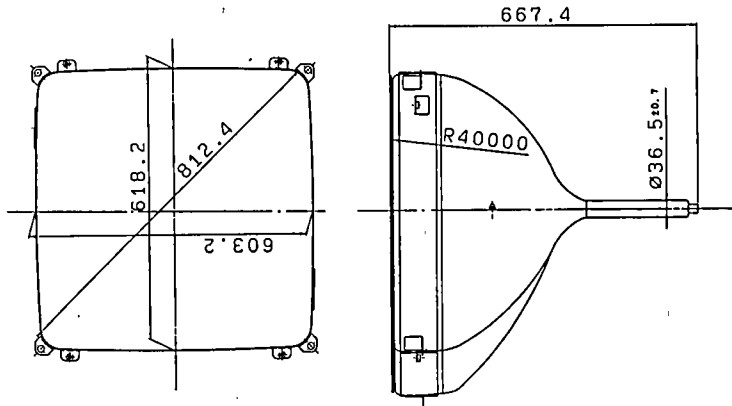


図2 外形図
 Fig.2 Outline of CRT

また、前面ガラスには、オペレータの使いやすさを考え、外光反射の少ない AR コート処理を行っている。

- 2) 蛍光体……蛍光体には、フリッカと残光特性を考慮し、白色蛍光体 P-4 を用いている。図3に、カソード電流 (IK) と輝度 (brightness) の関係を示す。
- 3) 電子銃……2,048ドット×2,048ドットと言う超高精細度の画質を得るために、電子ビームを非常にシャープにする必要がある。

そのために、以下のような対策をとった。

- ① アノード電圧は、30 kV とした。
- ② 電子ビームを収束させるメインレンズには、球面収差の少ない大口径 (φ18

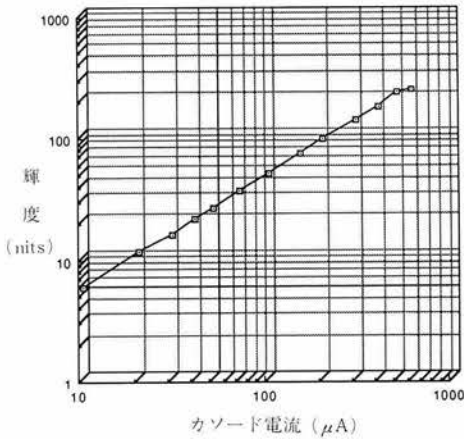


図3 カソード電流と輝度の関係

Fig. 3 IK vs brightness

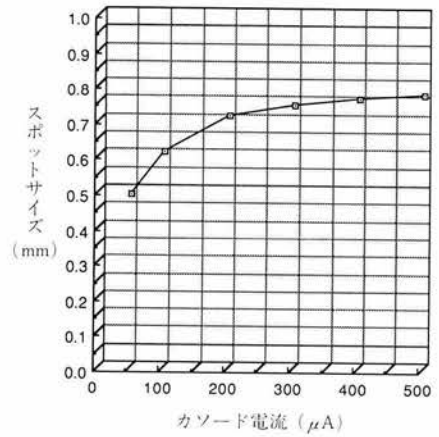


図4 カソード電流とスポットサイズの関係

Fig. 4 IK vs spot size

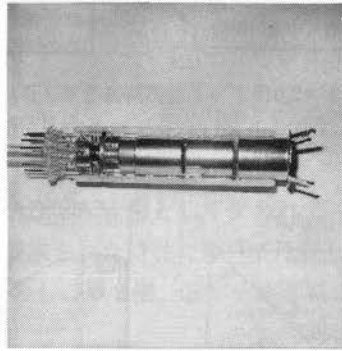


写真1 電子銃

Photo. 1 Electron gun

mm)のユニポテンシャルレンズと長焦点距離(60mm)レンズを組み合わせた(写真1)。

その結果、良好なスポットサイズを得ることができた。

図4にカソード電流(IK)とスポットサイズ(spot size)の関係を示す。

4) 低容量カソード……2,048ドット×2,048ドット表示の実現には、ビデオ帯域は300MHzが必要である。そのためには、カソードとその他の電子銃の電極との容量を極力小さくしなければならない。そのため、コンピュータシミュレーションを行い、次に示す5点の改良を行った。

- ① カソード：スリーブ径を小さくする。
- ② カソード：スリーブ長を短くする。
- ③ ヒータの体積を小さくする。
- ④ セラミック：ディスクの体積を小さくする。
- ⑤ 不要な電子銃のピンを抜き取る。

従来のカソード容量2.9pFであったものを、これらにより2.1pFまで低減することができた。

- 5) 偏向ヨーク……現在CAD/CAM用途で中心になっている1,280ドット×1,024ドットの解像度の偏向ヨークが64kHzの水平偏向周波数であるのに対して、2,048ドット×2,048ドットの超高解像度の本ディスプレイでは、水平偏向周波数は127kHzと約2倍の周波数となっている。

それにより、問題となる偏向ヨークの高周波ロスと発熱を最小限にするために、以下の三点の改良を行った。

- ① 偏向ヨークコアの材料にMnZnを用いた。
- ② 従来のディスプレイモニタで用いられているサドル・サドル型のコアより、偏向効率がよいスロットコアを用いた (写真2, 図5)。

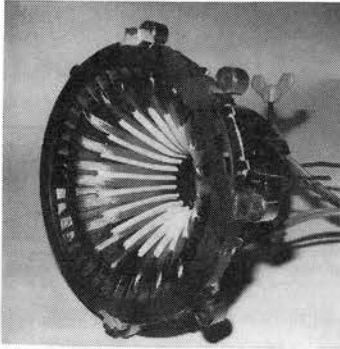


写真2 偏向ヨーク
Photo. 2 Deflection yoke

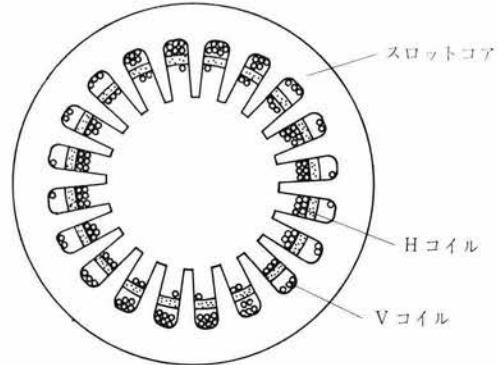


図5 偏向ヨークの断面図
Fig.5 Cross section of DY

- ③ エディカレントロスの少ないφ0.15のリッツ線を用いた。

これらの技術により、偏向ヨークの温度上昇を32度に押さえることができた。その温度上昇と水平偏向周波数の関係を図6に示す。

- 6) 高解像度画面……画面全面の均一な高解像度の画像を得るために、高精細度電子銃を用いるとともに、斉一偏向ヨークおよび、ダブル四重極を採用している。

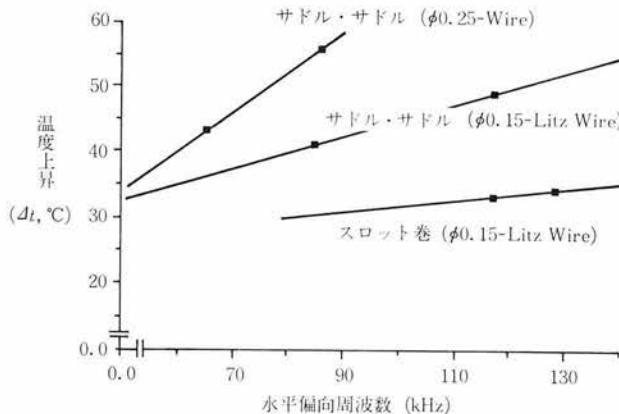


図6 水平偏向周波数と温度上昇の関係
Fig.6 Horizontal frequency vs temperature increase

偏向ヨークによる電子ビームの偏向歪みを最小限に押さえる必要があり、そのため偏向ヨークの磁界は、歪みのない均一な磁界を有するものとした。

- 7) 画歪み補正マグネット……超フラットな CRT であるため、画面のコーナーと X 端や Y 端への距離の差が、従来のもより非常に大きい。さらに画歪みの面から、上下ピン左右ピンと呼ばれる画歪みが大きくなってしまふ。したがって、偏向ヨークに画歪み補正用のマグネットを付け、画歪みの少ない良好な画質を得た。
- 8) リンギング……リンギングは、高速偏向の偏向ヨークでは宿命とも言える問題点である。本偏向ヨークにおいては、以下に示す二点の改善を行った。

① 容量の低減

コアに低抵抗材を用い、それをアースすることにより、H コイルと V コイルの間の容量を低減した (図 7)。

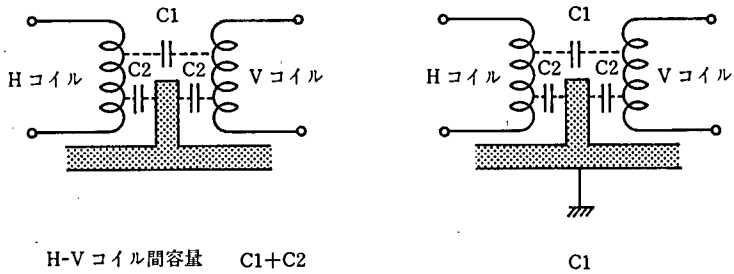


図 7 H-V コイル間の容量低減

Fig. 7 Reduction of H-V coil capacitance

② H コイルの逆巻き

上下の H コイル間の分布容量に溜まる電荷がリンギングに悪影響を与える。その電荷を少なくするために、通常 (図 8(a)) とは異なる H コイルの逆巻き (図 8(b)) を採用した。

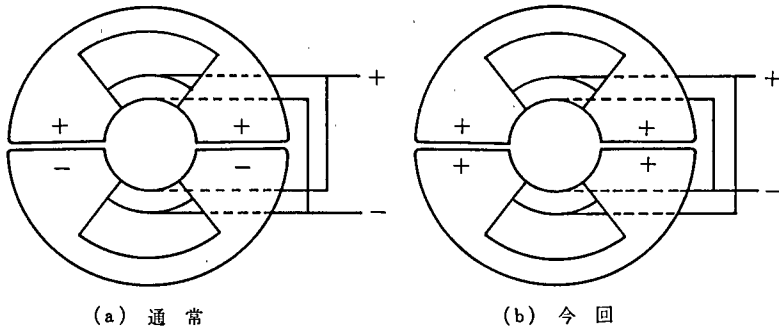


図 8 H コイルの巻き方向変更

Fig. 8 Change of H coil winding direction

3. 電気回路

AGS 5008 の最大の特徴である大画面超高解像度を実現するに当たり、以下の回路を新たに採用した。

- 1) 高速水平偏向回路
- 2) 広帯域ビデオアンプ回路
- 3) 高性能ダイナミック・フォーカス回路
- 4) スポット形状補正ダブル四重極回路

またブラウン管の性能を最大限に引き出すため、輝度調整・画歪補正調整・フォーカス調整等、より緻密で多様な調整が必要となり、これに対応するため

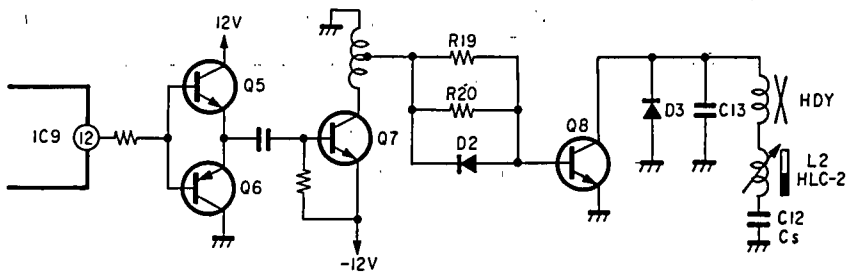
- 5) デジタルコントロール・システム

を導入した。これらを以下順に述べる。

3.1 高速水平偏向回路

水平偏向周波数は 126.84 kHz と非常に高く、また水平偏向電流は 20 Ap-p と大電流であるため、以下の二点を中心に設計し基本回路を構成した。

- 1) 高速・大電流出力デバイス……水平偏向出力トランジスタは、高速(tf typ: 100 nsec)・大電流(icp: 50 A) のものを採用し、ダンパダイオードもこれに対応する高性能なものを採用した。
- 2) 高速水平偏向ドライブ回路……水平出力段を高速にドライブするため、ストレージタイムを短くする必要があり、水平ドライブトランスにはチョークタイプのトランスを採用、また水平ドライブトランジスタのエミッタは -12 V に接続する構成により、高速水平偏向ドライブ回路を実現した (図 9)。



D3: ダンパダイオード L2: 水平直接性補正コイル
C13: 共振コンデンサ C12: S字補正コンデンサ

図9 水平ドライブ回路

Fig.9 Horizontal drive circuit

3.2 広帯域ビデオアンプ回路

ビデオ帯域 60 Hz~300 MHz+2/-3 dB (CRT カソード) を満足し、安定な輝度を得るため、以下の技術を採用している。

- 1) 高密度チップ実装……前記ビデオ周波数帯域では、リード部品および基板のパターン自体のインダクタンス・浮遊容量等が回路性能に悪影響を与える。このため、チップ部品を使用し、パターンの長さも最短となるようレイアウトし、さら

に高密度チップ実装技術を取り入れた。

- 2) 広帯域 CRT カソードドライブ……カソードドライブ段の負荷抵抗はセラミック基板上の印刷抵抗とし、周波数特性/放熱性を向上させている。またドライブ段の基板と負荷抵抗の基板/カソードピンとの接続にはフレキシブル基板を用い、この基板上で負荷抵抗の浮遊容量補償およびカソードとのマッチングをとっている。
- 3) 安定なゲインおよび直流レベルコントロール……H・SYNCをもとに作成されたクランプパルスを用い、この位置でペダスタル部（バックグラウンド部）の電位を検出し、誤差増幅アンプに入力して基準電位と一致するように帰還をかけ、直流レベルを安定化している。また同じく H・SYNCをもとに作成されたリファレンスパルスを信号にミキシングしており、プリアンプ部の出力でリファレンスパルスの先端電位を検出、外部からのゲインコントロール用電圧と比較し、その誤差が 0 となるようにゲインコントロール部にフィードバックすることにより、ゲインを安定に保っている（図 10、図 11）。

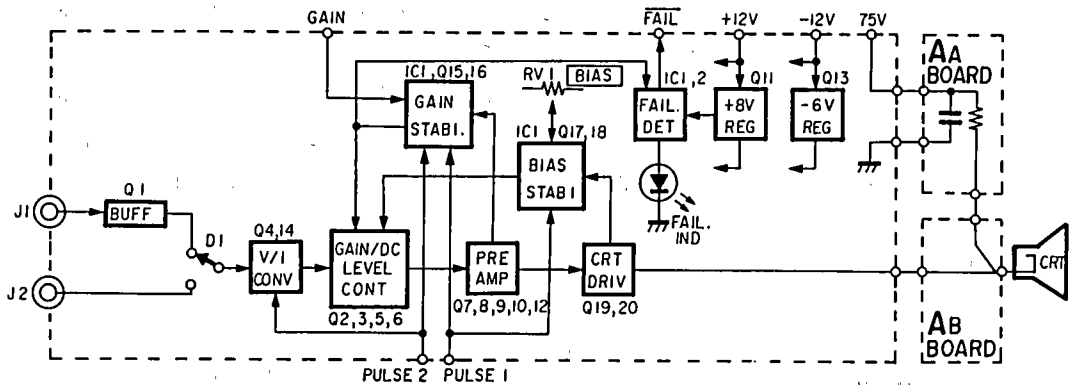


図 10 ビデオアンプ部ブロック図
Fig. 10 Video amplifier block diagram

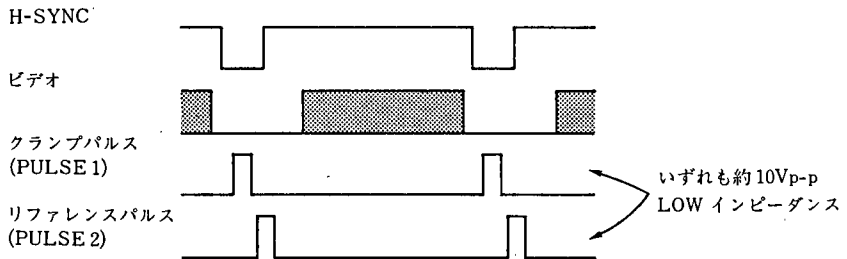


図 11 クランプパルスおよびリファレンスパルス
Fig. 11 Clamp pulse and reference pulse

3.3 高性能ダイナミック・フォーカス回路

超高解像度 CRT の性能を十分に引き出すために、高性能なデジタル補正によるダイナミック・フォーカス回路を開発した。ダイナミック・フォーカスは、G4 電極(CRT の電子銃中の電極)の電位を電子ビームの偏向周波数に同期して変調させることにより行っている(静電フォーカス)。これにより電子ビームは有効画面全域で安定して蛍光面に集束され、シャープなビームスポットを得ることができた。

以下に回路構成の説明をする。

デジタル・アッテネータ部でコントロールされた DC 電圧と垂直周期のパラボラ電圧で、水平周期のドライブパルス電源を電源変調し、DFT. Y(Y 軸(縦)方向ダイナミック・フォーカストランス)で昇圧後整流して、スタティック・フォーカスおよび Y 軸上のダイナミック・フォーカス電圧を得ている。

高速 DAC で作られた補正波形を増幅し、DFT. X(X 軸(横)方向ダイナミック・フォーカストランス)でさらに昇圧後クランプし、DFT. Y 二次巻線側にミックスすることにより X 軸方向のダイナミック・フォーカス電圧を得ている。

後述するように高速 DAC による補正波形は、画面上の 17×17 ポイントに対応した部分的な補正を可能としており、より高精度な調整が可能となっている。

またフォーカス電圧は抵抗分割により検出され、さらに水平周期中央部にてサンプルホールドされ、DFY 回路に帰還され安定したフォーカス電圧を得ている(図 12, 図 13)。

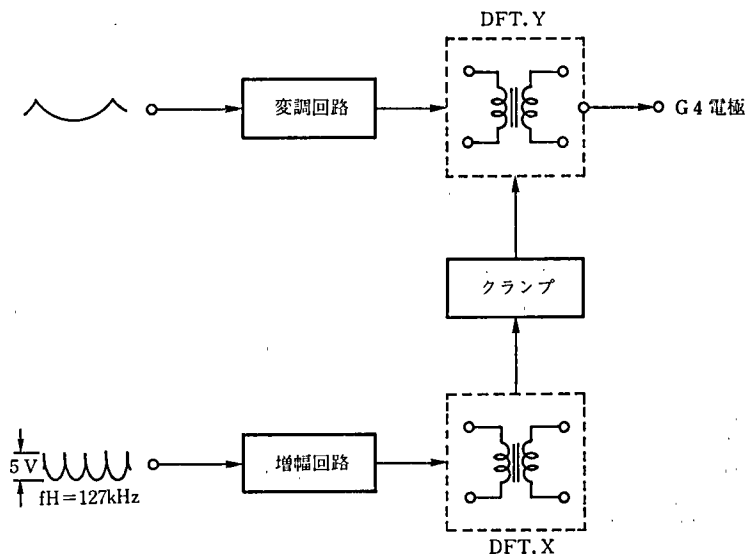


図 12 ダイナミック・フォーカス回路のブロック図

Fig. 12 Dynamic focus circuit block diagram

3.4 スポット形状補正ダブル四重極回路

CRT の管面が超フラットであるため、ビームスポット形状が、画面左右端では横長に、また画面上下端では縦長になり、さらに画面四隅では斜めになっている(図 14)。したがって、スポット形状の補正をしないと画面の各部で線の太さが異なって見え、

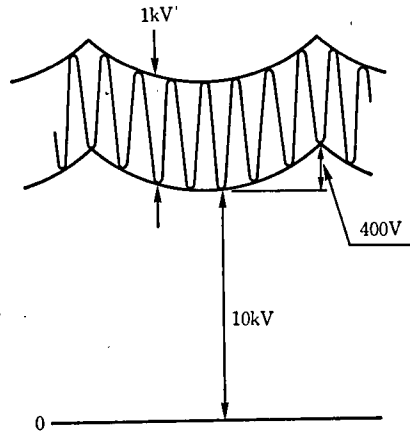


図13 ダイナミック・フォーカス電圧
Fig.13 Dynamic focus voltage

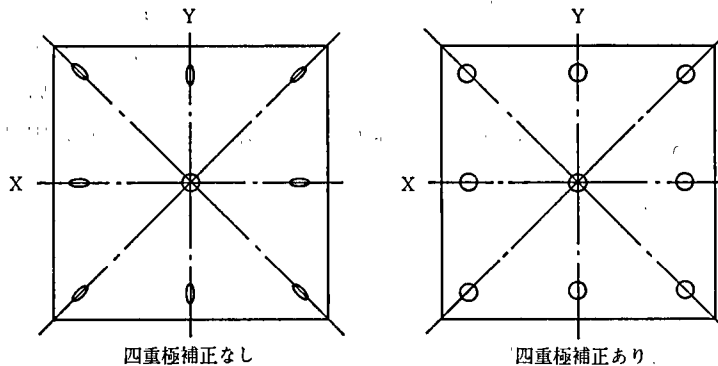


図14 スポット形状
Fig.14 Shape of spots

均一な線が表現できないことになる。本装置では、各部のスポット形状をできるだけ真円に近づけるためCRTネック部にダブル四重極コイルを設けている。

このコイルに適正な補正波形をもった電流を流すことにより、ビームに対して縦・横方向（軸方向四重極補正）に磁力を加え、また斜め方向（対角方向四重極補正）にも磁力を加えることにより、ビーム形状をコントロールしている。

この補正波形も後述の高速DACの出力を用いており、画面上の 17×17 ポイントに対応した部分的な補正を可能とし、全画面で均一なスポット形状を実現した（図15、図16）。

3.5 デジタルコントロール・システム

AGS 5008のブロック構成を図17に示す。この図で示す通り調整および回路補正手段として、デジタルプロセッサが重要な役割を果たしている。ビデオアンプ部ではブライトネスおよびコントラストの調整、また外部信号と調整用内部信号（テストパターン）の切り換え、調整位置表示カーソルの移動、偏向部では水平・垂直画サイズ、水平・垂直位置調整の他さまざまな幾何学歪の補正、またフォーカスおよびダブル四重極の調整等がデジタルプロセッサにより高精度で制御され、高性能で幾何学歪の少

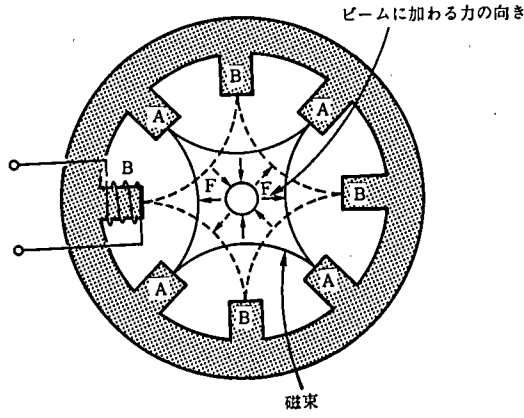


図 15 ダブル四重極補正コイル

(各磁脚に巻かれたコイルは省略)

Fig. 15 Double quadruple correction coils

(Coils wound around the various arms are omitted)

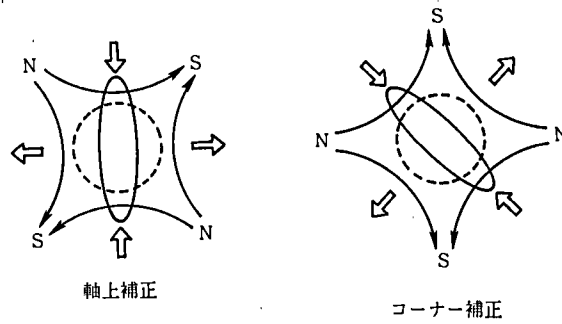


図 16 補正原理図

Fig. 16 Principles of correction

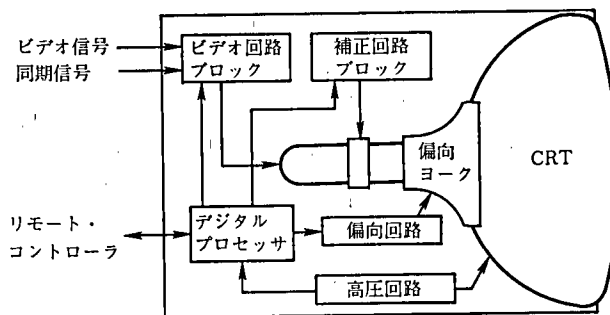


図 17 本装置のブロック図

Fig. 17 Monitor block diagram

ない画面を実現した。

これらの調整は、すべて RS 422 A インタフェースを介して外部よりコントロールされる。また、サービス・メンテナンス・ツールとして、手のひらにのるサイズのリモート・コントローラも開発され、フィールドサービスを容易にしている。さらに、各回路ブロックからの故障情報およびプロセッサ内部の重要素子の自己診断結果は、コントローラを介して簡単に知ることができる。

- 1) デジタルプロセッサ部概要……デジタルプロセッサ部のブロック構成を図 18 に示す。CPU は PROM に格納されたプログラムに従って順次命令を実行し、RAM (16 K) 上でデータの演算処理を行う。したがって通信インタフェースを介して外部から調整コマンドが送られてくると、各機能の調整(補正)データは、RAM (16 K) 上で更新される。

EEPROM (16 K) は、本装置の各機能に必要なすべての調整データを常時保持しておく不揮発性メモリで、電源投入時や RESET コマンド受信時には RAM (16 K) および他の基板へ保持データが転送される。逆に調整終了後に CPU が SAVE コマンドを受信すると RAM (16 K) の内容が EEPROM にコピーされ、調整データの書き換えが行われる。

補正データは、CPU バスを通じ DAC メモリ (RAM) およびデジタル・アッテネータに転送される。高速乗算型 DAC と垂直補間回路により、フォーカスおよびダブル四重極の補正等に必要複雑な電圧波形を作り出している。基準波形発生部は、垂直周期のノコギリ波・パラボラ波・サイン波を生成し、デジタル・アッテネータに送り出している。デジタル・アッテネータ部では、各々の波形のゲインをコントロールし、偏向部およびフォーカス部に送り出している。シリアル・バスラインはビデオ部、テストパターン発生部、およびデジタル・アッテネータ部を制御することに使われている。

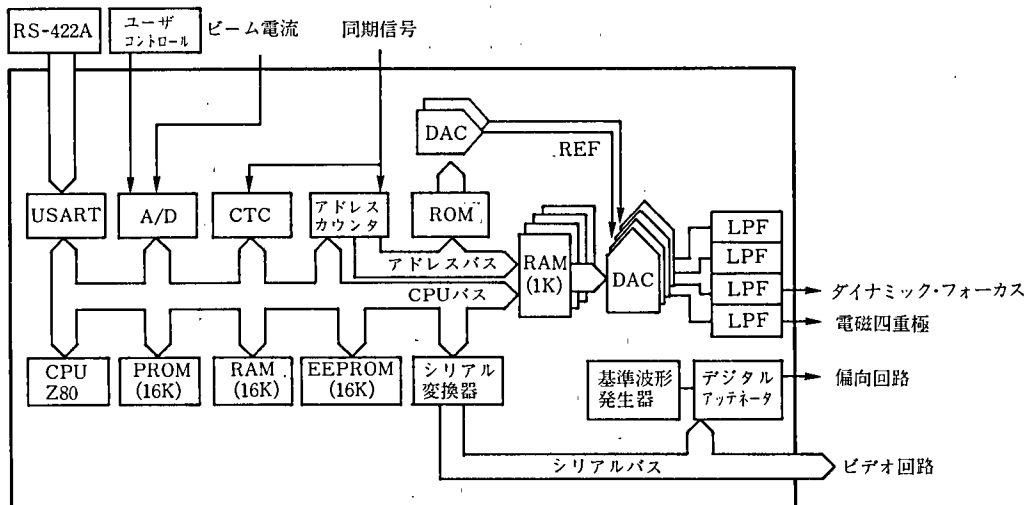


図 18 デジタルプロセッサ部のブロック構成

Fig. 18 Digital processor block diagram

2) 自動輝度調整……本装置はビーム電流を検出し、その値をEEPROMに記憶しておく機能を持っている。出荷時のコントラストMINおよびMAX時のビーム電流値はEEPROMにデータとして保持されている。本装置の定期保守等の際は、前述のリモートコントローラを用いることにより、簡単に短時間で再調整が可能である。リモートコントローラのReadjustプログラムをスタートさせれば、この時点でのコントラストMINおよびMAX時のビーム電流値を検出し、これを出荷時のビーム電流値に合わせ込むようビデオ部のゲインの再設定を自動的に行う。

4. 画質評価

画質に関する要求としては冒頭にも述べたが、デザイナーが表示装置の前面にすわって画面上の図形を見たとき、直線は直線らしく曲線は正しい曲率で、あたかも紙の上に書かれた図形が管面に貼りついたように表示されてほしいということである。要求内容は言葉で言うといとも簡単であるが、実際に大型でフラットな管面上に表示される画質を均一の仕様で実現化することは非常に困難であった。そこでアプリケーション上、図形を主に表示する画面中央部(Aゾーン)と、メニュー・メッセージ等を表示する周辺部(Bゾーン)の二つのゾーンに画面を分けて仕様を定義した(図19)。

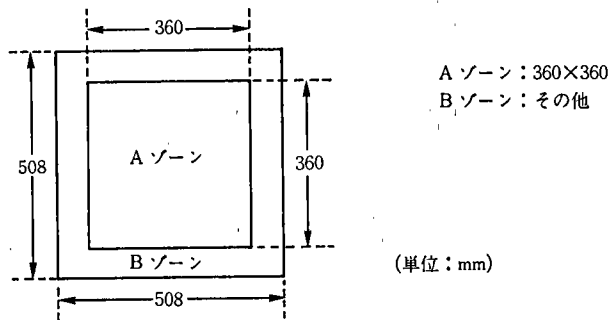


図19 ゾーン規格

Fig. 19 Standard of zone

以下画質に関し、今回とくに考慮した点について述べる。

4.1 蛍光面の不良

蛍光面のしみやガラス/PPG内の泡や異物による欠点を皆無にすることはCRTを製造する上で不可能である。しかしながら今回はワイヤフレームモデルを表示することから、1本の線が欠点により切れて2本に見えたりすることは許されない。そこで実際に線を表示し各種欠点と重ね合わせることにより、欠点を線に影響のある欠点と、線には影響のない薄い蛍光面のしみに分類して、どこまで実用に耐えうるか評価し欠点の大きさを決めた。

とくに、Aゾーンにおいては線に影響のある欠点を0.5mm未満とし、線に影響のない薄い蛍光面のしみに対しては、0.7mm未満と規定した。

4.2 フォーカス

一般にはフォーカスはシャープであればあるほど線がきれいに見えるが、AGS 5000 システムではアンチ・エリアシングの方式として面積法を採用しており、1本の線を表示するのに1本の輝度ラインでなく多数の画素の輝度を多段階に制御することにより実現しているため、シャープにしすぎると1本の線を表示した場合2本に分離して見えることがある。

一方、フォーカスをあまくしてスポットサイズを大きくすると、線がぼけて近接する2本の線の判別ができなくなる。そこで適正なスポット形状およびサイズを決定するため各種評価用パターンを表示し評価した結果、直径0.65~0.75 mmの円形が最適との結果を得た。しかしながら前章で述べたように、スポット形状はパネルガラスへの斜め入射のため幾何学的に歪んでしまい、理想の円形のスポット形状を画面全体で得ることは困難であるがダブル四重極の使用により補正し、スポットサイズの範囲をAゾーン、Bゾーンで規定できた。

4.3 画歪み

CRT管面上に図形を表示した際、一般に問題となる主な画歪みは図20に示す通りである。

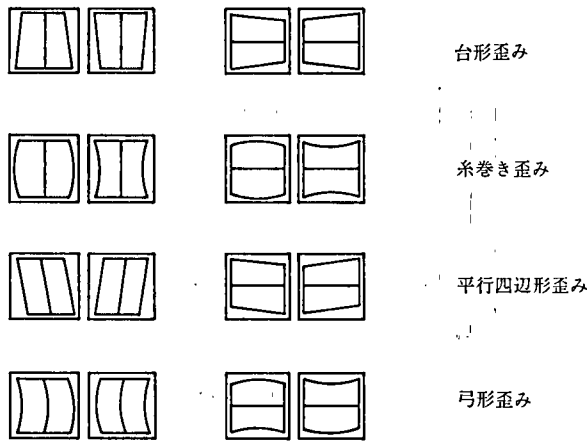


図20 画歪みの種類

Fig. 20 Kinds of geometric distortion

これら画歪みに対し総合的に規定する方法としては、クロスハッチを管面上に表示した時にすべての交点が理想交点を中心とする、ある決められた半径の円（ボールチャート）に入ることにより行っている。ボールチャートの半径は従来の20型CRTでは表示画面サイズの1%が一般的であるが、今回は精度を上げるため0.75%のボールチャートを適用することとした。しかしながら今回は大型画面であり、表示される線分も長くなるため各交点は0.75%のボールチャートに入るものの、人間の視覚によると線のうねりや傾き、また局所的な画曲りが認識された。すなわちボールチャートだけで画歪みを規定したのでは満足な画質が得られないことがわかった。

図21に初期の試作機で測定した画歪みのデータ例を示す。

これら画歪みに対し、各種対策を施し評価ならびに仕様の検討を繰り返した結果、新たにつきの項目について規定することとした。

- 1) 部分的画歪み……クロスハッチである任意の交点を中心点 A とし、中心点 A より距離 l_1 および $\sqrt{2}l_1$ だけ離れた 8 個の交点が各距離の 5% に相当する半径の円内に入ること。
- 2) 局所的画曲り……描画線分の中心線の範囲を線長により規定。
- 3) 台形歪み……クロスハッチの最外周が 2.5 mm 以内。

図 22 に、前章で述べた画歪みの補正の対策をした最終の評価機で測定した画歪みのデータ例を示す。新たに規定の上述の規格はすべて満足し、視覚においても画歪みの少ない画質を得ることができた。

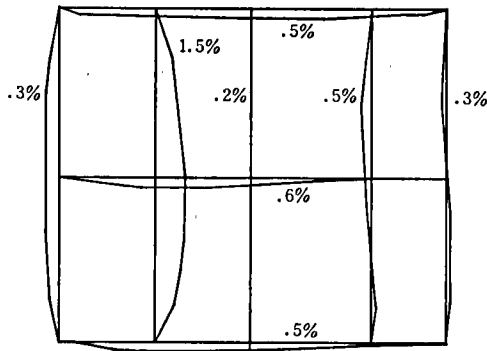


図 21 画歪み例 (試作機)

Fig. 21 Example of geometric distortion (proto type)

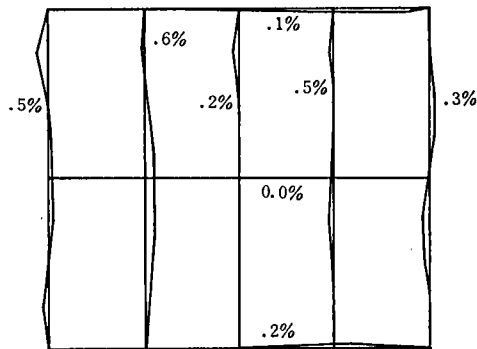


図 22 画歪み例 (最終評価機)

Fig. 22 Example of geometric distortion (L-type)

5. 仕 様

AGS5008 の主な仕様は次に示す通りである。

システム	: 2114 本/60 Hz	ノンインタレース (NI)
CRT	: サイズ	32 インチ (対角) 正方形
	管面曲率	40,000 mmR 以上
	偏向角	90°
	蛍光体	P 4 (短残光, 白)
	有効画面	508 mm×508 mm
	表示画面	498 mm×498 mm
	ガラス透過率	69%
		AR コーティング
表示ピクセル	: 2048(H)×2048(V)ドット	
ビデオ周波数帯域	: 300 MHz ± 3 dB	
最大輝度	: 80 cd/m ² 以上	
幾何学歪み	: 全画面で画面高さの 0.75% の半径の円以内	(EIA ボールチャート法による)
入力		
映像信号	: BNC, 0.714 V _{pp} , 正極性	(50Ω 終端)
同期信号	: BNC, TTL レベル, 負極性	(75Ω 終端)
電源	: 100 V 50/60 Hz	
消費電力	: 300 W(470 VA) 以下	
外形寸法	: 690 (W)×729(H)×776(D)mm	
重量	: 約 96 Kg	

6. お わ り に

現在一般に使用されている 20 型グラフィック・ディスプレイの約 2.7 倍の表示面積を持つ、大型画面上に設計モデルを忠実に表示可能とした CRT ディスプレイ装置 AGS 5008 を開発した。

完成までには約 1 年半の歳月を要したが、とくに表示の画質に関しては妥協を許さない評価を繰り返し、実験を重ね本稿で述べた最新のテクノロジーを結集した結果得られたものである。

本装置はすでにユーザに設置され、使用開始されているが、高く評価されている。今後多くのユーザにいろいろなアプリケーション分野で利用されることを期待する。

-
- 参考文献 [1] M. Sudo et al., Sony Corporation, "High-Resolution 20V*20V" Trinitron and Monochrome CRT", "International Symposium Digest of Technical Papers", "Society for Information Display", 1986 Volume XVII, 18.6, P. 338.
- [2] A. Murata et al., Sony Corporation, "Deflection Yoke for a Trinitron 20*20 in. Color CRT", "International Symposium Digest of Technical Papers", "Society for Information Display", 1989 Volume XX, 5.5, P. 49.
- [3] Y. Awata et al., Sony Corporation, "A New Large-Screen High-Resolution Trinitron Color Display Monitor for Computer Graphics Application". International Symposium Digest of Technical Papers, Society for Information Display,

Volume XVII, 1986, pp. 459~462.

- [4] M. Suzuki et al., Sony Corporation, "Computer Controlled Alignment for a 2000 Line Color Monitor", International Symposium Digest of Technical Papers, Society for Information Display, VolumeXX, 12.3, 1989, pp. 196~199.

執筆者紹介 烏 羽 知 久 (Tomohisa Uba)

昭和56年東京大学工学部金属材料学科卒業。ソニー(株)に入社。高精細度トリニトロンCRTの開発に従事し、現在超大型高精細度CRTの開発設計を担当。大崎テクノロジーセンター映像デバイス事業本部映像管第二事業部設計課に所属。



土 井 博 志 (Hiroshi Doi)

昭和57年岐阜大学工学部電気工学科卒業。同年ソニー(株)に入社。業務用ビデオプロジェクターの商品設計に従事した後、58年より超高精細度データ・ディスプレイ・モニターの商品設計を担当。大崎テクノロジーセンタービデオコム事業本部DDMシステム事業開発室商品設計課に所属。



安 間 孝 夫 (Takao Anma)

昭和43年東京理科大学工学部電気工学科卒業。同年日本ユニシス(株)入社。以後端末機器、日本語情報処理システム(LET'S-J)の開発を行い、61年末よりAGS5000システムの開発に従事。現在マイクロプロダクト本部NGS開発プロジェクトに所属。



ワークステーション PW² ファミリにおける 日本語表示機構 AVP

AVP : The Japanese-language Display Controller for the PW² Workstation Family

勉 場 的

要 約 パーソナル・ワークステーション PW² ファミリ用の日本語表示機構として Advanced Video Processor (AVP) を開発した。

AVP はビットマップ用ウィンドウ・ソフトが高速に動作することを目的にしたが、キャラクタ・ディスプレイとしての高速性も損ねないようにしている。また、市販流通ソフトウェアもそのまま動作可能な AX オプション機能も用意した。

本稿は、この AVP の開発経緯および機能について紹介する。

Abstract The advanced video processor (AVP) has been developed for use as the Japanese-language display controller for PW² family personal workstations.

The AVP is intended to provide high performance in software manipulation for bit-mapped windows and to ensure excellence in speed required for a character display. It also offers an additional function which allows AX applications software on the market to run with no changes made.

This report describes how the AVP has been developed and its functional specifications.

1. はじめに

Advanced Video Processor (AVP)は、当社のパーソナル・ワークステーション PW² ファミリ用に開発された表示制御オプション・ボードであり、高解像日本語表示機構に加えて表示機能におけるユーザーニーズの多様化に対応する目的で開発された。

PW² ファミリには CPU にインテル社の 80286/80386* を搭載した、いわゆる PC/AT**互換機である。それは米国において、EGA(Enhanced Graphics Adaptor)や VGA(Video Graphics Array)を表示制御機構として数多く使用しており、Industrial Standard としての位置付けにある。日本国内においても、EGA 上位互換の日本語化統一仕様として AX(Architecture Extended)仕様が提唱されている。そこで AVP は、それらの豊富なソフトウェアが動作可能なように、AX および VGA 機能をオプションとして用意した。

AVP の基本機能は、今後普及が予想される日本語 MS OS/2 PM*** (Presentation Manager)等のウィンドウ・ソフトが、高解像度かつ高速に表示できることを主眼とした。このため、専用のグラフィック・プロセッサを採用したビットマップ・ディスプレイとし、さらに PW² ファミリの前身である DS 7 互換の文字表示を高速にするため、文字表示用のハードウェアも付加している。

* 80286, 80386 : 米国 Intel 社の登録商標。

** PC/AT : 米国 IBM 社の登録商標。

*** MS OS/2 PM : 米国 Microsoft 社の登録商標。

2. AVP の開発

2.1 開発の背景

AVP は 1988 年春から PW² ファミリ用ディスプレイ・コントロールとして開発が開始され、1989 年春に出荷することを目標とした。この AVP の機能目標は以下に示す通りであり、日本のみならずアジア諸国にも受け入れられることを目的とした。

- 1) DS 7 との互換性を持たせるため次の表示特性を持ち、かつグラフィックスの性能を 2 倍以上にする。
 - ・ 24×24 ドット漢字フォント
 - ・ 40×25=1,000 文字表示(漢字)
 - ・ 1,120×750 ドットグラフ表示
 - ・ 4,096 色中の 16 色表示
 - ・ 文字、グラフの重ね表示可能
- 2) OS/2 PM 等のビットマップ対応のソフトウェアを考え、高速フルビットマップ・ディスプレイ機能を持つ。
- 3) EGA の上位互換として日本のパーソナル・コンピュータの統一規格を目指す AX 仕様^[1] を満足させる。
- 4) IBM PS/2* の VGA, 8514/A^[2] 用のソフトウェアが動作する。
- 5) PW² ファミリの 1 オプション・スロット内に収容できる。

AVP の開発当初、PW² ファミリのディスプレイ・コントロールとして、スクリーン・コントローラと呼ばれる DS 7 互換の漢字コントロール機能が用意されていた。このスクリーン・コントローラは、DS 7 と同じハードウェア構成を持つ文字表示機構であり、オプションとしてハイスピード・イメージグラフ・アダプタと呼ばれるグラフ表示用のコントロール機能を追加する従来の形式であった。AVP は、今後普及が予想されるビットマップ対応のアプリケーションが高速に動作することを目的とし、高速フルビットマップ・ディスプレイを基本に開発した。

2.2 キャラクタ・ディスプレイとビットマップ・ディスプレイ

フルビットマップ・ディスプレイの利点は、文字フォントを自由な形・大きさ・位置に表示でき、さらに文字、グラフ、イメージの区別をする必要がないことである。

フルビットマップ・ディスプレイの具体的応用例としては、

- ・ イメージ・ワード・プロセッサ
- ・ デスクトップ・パブリッシング(DTP)
- ・ 英語等のテキスト(Proportional Spacing)
- ・ ウィンドウ・ソフト(OS/2 PM 等)
- ・ アウトライン・フォント

等があげられる。

このようにフルビットマップ・ディスプレイは利点も多いのであるが、反面表示スピードが遅いという欠点もあり、それが今日のパーソナル・コンピュータ界でのフルビットマップ・ディスプレイ化を遅らせてきた一因ともなっている。とくに PW² ファミリでも採用される予定であった日本語 OS/2 PM の表示速度は、このビットマッ

* Personal System/2 : 米国 IBM 社の登録商標。

プ・ディスプレイの性能に左右される。

たとえば'A'という一文字を表示する場合、キャラクタ用ディスプレイ・コントロールでは、'A'という文字コードおよび表示色や罫線を示すアトリビュート・コードを含めてわずか2〜4バイトのデータをテキスト・バッファに書き込むだけでよい。

しかしビットマップの場合、受け取った文字コードから文字フォントを読み出し、ビットマップ・メモリに展開するという前者に比べて数十倍ものメモリ・データをアクセスする必要がある。さらに、ビットマップ・メモリ上の表示位置がバイトやワード境界にあるとは限らないため、ビット・シフト等の操作やアトリビュート処理の演算も必要になり、表示速度はますます遅くなる。

表示解像度が低く、表示スピードが多少遅くてもよい低位のパーソナル・コンピュータでは、表示メモリを単にビットマップとし、ビットマップ・メモリへのフォント展開をすべて本体CPUに実行させることにより、表示用のハードウェアを単純化してコストを下けているものもある。これらも広義の意味では、ビットマップ・ディスプレイと呼べなくもない。

しかし通常ビットマップ・ディスプレイと定義しているものは、ラスタオペレーションと呼ばれるある矩形領域への論理演算を含むメモリ操作や、BIT BLTと呼ばれるビット境界矩形領域のブロック転送が高速にできるハードウェアやプロセッサを持つものである。従来ラスタオペレーションやBIT BLTの機能は、かなり複雑な回路やビット・スライス・プロセッサ等を必要とし、高価なEWS(Engineering Work Station)やグラフィック・ディスプレイ等にしか使用されていなかった。近年、それらの機能を1チップ化したグラフィック・コントローラやプロセッサが出現したことにより、パーソナル・コンピュータでも十分ビットマップ・ディスプレイを実現できるようになってきた。

しかしそれらの性能は、ビットマップ用のアプリケーションを動作させるのには満足するが、キャラクタ・ディスプレイ用のアプリケーションをそのビットマップ上で動作させた場合には満足するとは限らない。とくに、PW²ファミリはワークステーションとしての位置付けであり、オンライン・ターミナル機として高速スクロール機能は必須であった。

キャラクタ・ディスプレイの性能で重要となる点は、画面の書き替え速度である。実際にはそれがスクロール・スピードとして現われる。スクロールを1行実行することは、1画面のデータを書き替えることとほぼ等しい動作である。

たとえば、1画面分25行のデータを1秒間でスクロールする場合を考える。キャラクタ・ディスプレイにおいて、このスクロールスピードは、それほど早いものではない。しかし、1秒間に25回スクロールすることは、40ミリ秒で1画面を書き替えることであり、ビットマップ・ディスプレイでこれを実現するのは至難の技と言える。

とくに解像度・色数の増加による書き替えデータ量の増加は著しく、単に解像度だけを比較しても、DS 7のように24ドット漢字フォントを使用した1,120×750ドットのディスプレイは、640×480ドットのものとは比べて約3倍の書き替えスピードを出さなければ同じ性能が得られない。

2.3 AVPにおけるビットマップ

AVPの設計時に専用グラフィック・プロセッサの採用を検討していた。このグラフィック・プロセッサを評価した結果、1画面分のビットマップを約0.2秒で書き替えられることがわかった。このスピードは、ビットマップ用のアプリケーションが動作するには不足のないスピードであると考えられるが、既存のスクリーン・コントローラの文字表示速度0.05秒/画面と比較して1/4の速度である。

また、文字のリンク・アトリビュートや文字とグラフの重ね表示等ビットマップで互換性を求めるには、ハードウェア・ロジックやメモリ増等の面倒な問題もあった。そこで今回のAVPでは、本来のフルビットマップ化の目的には反するのではあるが、図1のようにビットマップ空間上にキャラクタ表示用のハードウェアを追加し、スクリーン・コントローラとの互換性を保持することにした。

また、それらのコントロールはすべてビットマップ用のグラフィック・プロセッサが行い、もし可能であればキャラクタ表示用のコントロールを取り去っても動作するように設計することにした。

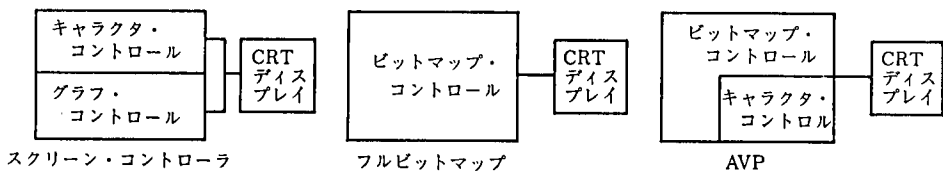


図1 AVPのビットマップ

Fig.1 Bit map method of AVP

3. AVPの機能

前章までの基本的な考え方をもとに、以下に示す四つの基本表示機能を具体的にまとめた。

- 1) DS7機能……DS7互換表示機能であり、文字、グラフおよび両者の重ね表示が可能である。解像度は1,120×750ドットであり、文字は16色表示、グラフは26万色中の256色表示が可能である。これがAVPの中核となり、GSP (Graphics System Processor, TMS 34010)によって制御される。
- 2) 8514/A機能……IBM社のパーソナル・コンピュータPS/2のビットマップ・ディスプレイ・アダプタ8514/Aをエミュレーションする機能である。解像度は1,024×768ドットであり、26万色中の256色が表示可能である。この機能は表示ライブラリ・レベルでの互換性を有することを目的にしており、ハードウェア・レジスタ・レベルでの互換性は追及しない。この機能はGSPにより制御される。
- 3) VGA機能……PS/2のVGA互換機能である。米国ではPC/AT互換機で幅広く使用されており、ハードウェアおよびBIOS (Basic Input Output System) レベルでの100%互換を目標にする。互換チップ・メーカーのVGA互換LSIにより制御する。
- 4) AX機能……PC/AT互換の日本語統一仕様であり、AX協議会が提唱、推進し

ているものである。表示機能としては、EGA に上位互換の日本語表示機能を追加したものであり、ハードウェアおよび BIOS レベルでの 100% 互換を目標にする。解像度は 640×480 ドットであり、64 色中の 16 色表示が可能である。これらの機能は AX 用チップ・セットを用いて実現する。

これらの 4 種の機能は必ずしも同時に必要になるとは限らず、また物理的にも 1 枚のオプション・ボード上に実装することは不可能であった。このため機能を 2 分割し、マザー・ボードとその上に背負わせるピギーバック・ボードに分けて実装された。DS 7 および 8514/A 機能はマザー・ボードに実装して標準機能とし、VGA および AX 機能はピギーバック・ボードに実装して選択機能とした。

表 1 に各機能における表示特性を示す。

表 1 AVP の表示特性
Table 1 Display characteristics of AVP

機能	タイプ	表示色	文字数	文字セル サイズ	解像度
VGA モード	テキスト	16/256K	40×25	8×8	320×200
	テキスト	16/256K	80×25	8×8	640×200
	テキスト	16/256K	40×25	8×14	320×350
	テキスト	16/256K	80×25	8×14	640×350
	テキスト	16/256K	40×25	9×16	360×400
	テキスト	16/256K	80×25	9×16	720×400
	グラフ	4/256K	40×25	8×8	320×200
	グラフ	2/256K	80×25	8×8	640×200
	グラフ	16/256K	40×25	8×8	320×200
	グラフ	16/256K	80×25	8×8	640×200
	グラフ	16/256K	80×25	8×14	640×350
	グラフ	2/256K	80×30	8×16	640×480
	グラフ	16/256K	80×30	8×16	640×480
グラフ	256/256K	40×25	8×8	320×200	
8514/A モード	グラフ	256/256K	80×34	8×14	640×480
	グラフ	256/256K	85×38	12×20	1024×768
	グラフ	256/256K	146×51	7×15	1024×768
AX ^② モード	テキスト ^① (漢字)	16/64	80×25 (40×25)	8×19 (16×19)	640×480
	グラフ	16/64	80×25	8×19	640×480
DS 7 モード	テキスト ^① (漢字)	16/256K	80×25 (40×25)	14×30 (28×30)	1120×750
	グラフ	256/256K	—	—	1120×750

① 文字およびグラフの重ね表示可能。

② AX は EGA モードも含むが、本表では割愛する。

4. マルチスキャン・モニタ

このように何種類かの表示特性、解像度を持つ AVP から出力される各種のビデオ・タイミングを 1 台の CRT モニタを使い、すべての表示モードに対応することはそれほど簡単なことではなかった。それらのことが可能になったのは、オートスキャンあるいはマルチスキャンと呼ばれる CRT モニタが実用化されたからである。

従来の CRT モニタでは、表示解像度およびビデオ・クロックを定義すると同期信号の周波数が決定され、その同期信号の周波数でしか同期をとることができなかった。

ところが、オートスキャンあるいはマルチスキャンと呼ばれる CRT モニタは、同期がとれる周波数範囲が広く、表示解像度にかかなりの自由度を持つことができるようになる。

AVP で採用したマルチスキャン・モニタは、内蔵のマイクロコンピュータにより同期信号の周波数および極性を検知し、四つのモードで表示サイズおよび位置を任意にコントロールすることができる。この CRT モニタにより、AVP が持つすべての表示モードを適正な位置、サイズで表示することができる。

5. グラフィック・システム・プロセッサ(GSP)

AVP の中核となるビットマップを制御するコントローラには、Texas Instruments 社の GSP(Graphics System Processor) TMS 34010^[9] を採用した。従来の CRT コントローラが、ホスト CPU からコマンドを与えて実行するコントローラ・タイプであるのに対し、GSP はそれ自身が強力なグラフィック・インストラクションを備えた 32 ビット CPU である。そして、低価格の 1 チップ・コントローラとしては新しい概念の CPU である。

以下に GSP TMS 34010-50 の特徴を示す。

- 32 ビット CPU, マシンサイクル 160 nsec(6 Mips)
- 32 ビット ALU(Arithmetic Logical Unit), 32 ビット汎用レジスタ ×32 本
- 256 バイト キャッシュ・メモリ
- 128 メガバイト・アドレッシング
- D-RAM/デュアルポート RAM ダイレクト・アドレッシング機能
- ピクセル幅プログラム可(1-32 ビット)
- ピクセル処理機能, XY アドレッシング機能
ウインドウ処理等のグラフィック命令
- 1.8 μ CMOS テクノロジ PLCC 68 PIN パッケージ

6. AVP ボード

前述の AVP の機能をもとに実際に設計、製品化された AVP ボードの概要を説明する。図 2 にブロック図を示す。

マザー・ボードには DS 7 と 8514/A 機能を実装し、ピギーバック・ボードには AX および VGA 機能を実装した。両者はそれぞれ完全に独立して動作するように設計している。両方が実装された場合、システムは AX 機能として立ち上がり、市販の AX-DOS や英語版 MS-DOS* がそのまま動作することで AX マシンとしての互換性を保つようにしている。次に各々のボードについて説明する。

6.1 AVP マザー・ボード

AVP マザー・ボードは DS 7 および 8514/A の機能を有し、ビットマップ・ディスプレイとして動作する(写真 1)。

DS 7 機能は文字表示およびグラフ表示機能からなるが、両者とも GSP により制御される。8514/A 機能は、DS 7 のグラフ表示機能をもとに若干の機能追加をしたもので

* MS-DOS : 米国 Microsoft 社の登録商標。

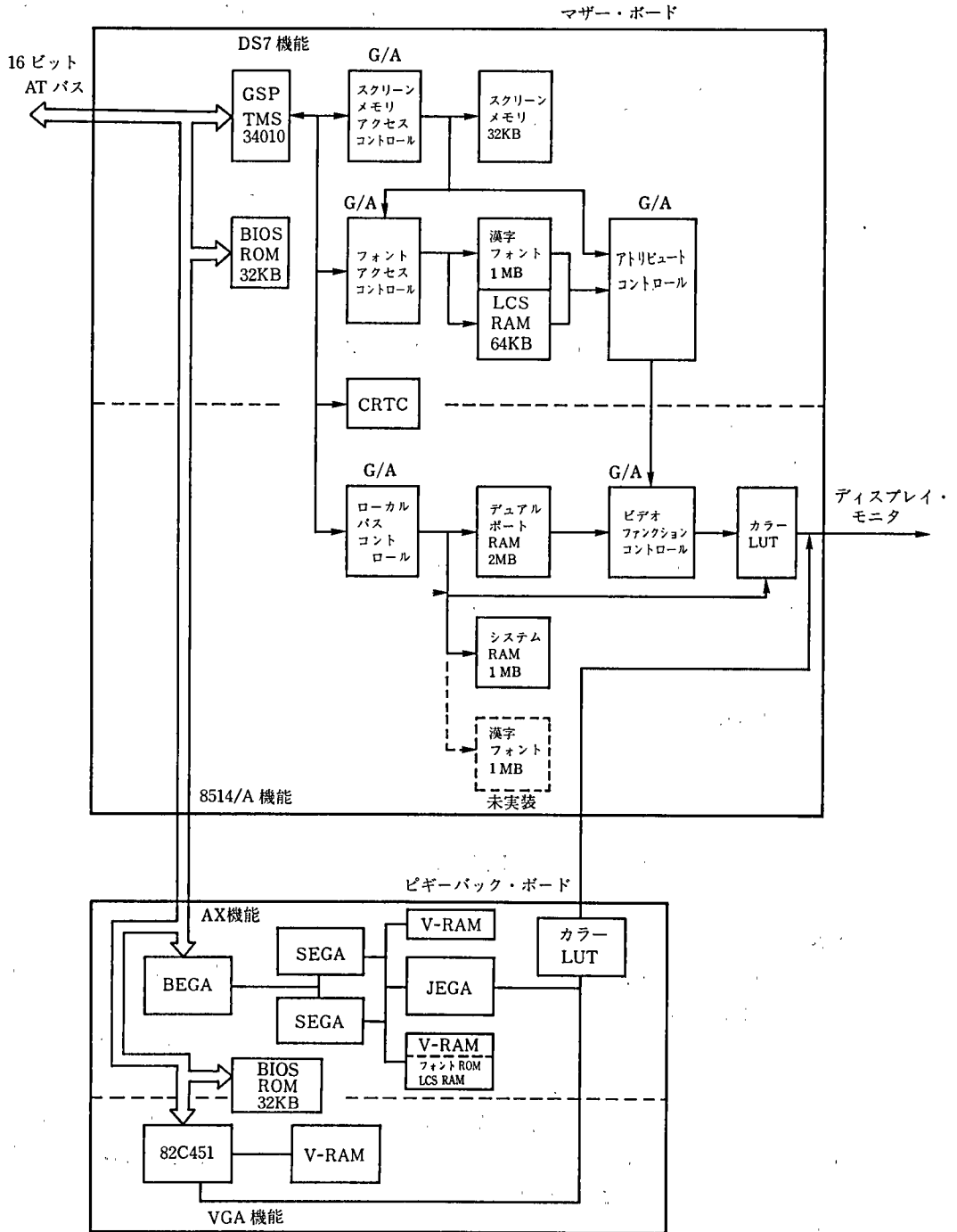
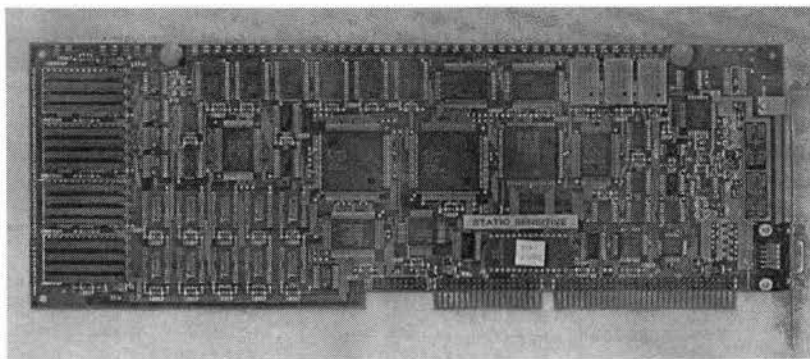


図 2 AVP ブロック図
Fig. 2 AVP block diagram



写直 1 AVP マザー・ボード

Photo.1 AVP mother board

あり、それ固有の機能は 8514/A エミュレータ (GSP のマイクロコード) をロードすることにより実現する。

以下に AVP マザー・ボードの特徴を示す。

- 1) 文字およびグラフ制御部分を GSP メモリ空間に配置し、表示機能をホスト CPU から分離することにより、ホスト CPU の負荷低減を計った。
- 2) 文字表示用ハードウェアを GSP メモリ空間 (ビットマップ・メモリ) に配置し、高速文字表示および文字/グラフの重畳表示を可能にした。
- 3) 下記 5 種類のゲートアレイを開発し、回路の高集積化、コスト低減および信頼性の向上を計り、かつ実装密度を上げるために表面実装技術を採用した。
 - ① スクリーンメモリ・アクセス・コントローラ (Bi-CMOS, 2,000 ゲート)
 - ② フォント・アクセス・コントローラ (CMOS, 2,600 ゲート)
 - ③ アトリビュート・コントローラ (Bi-CMOS, 1,200 ゲート)
 - ④ ローカルバス・コントローラ (Bi-CMOS, 1,200 ゲート)
 - ⑤ ビデオ・ファンクション・コントローラ (Bi-CMOS, 1,200 ゲート)

ゲートアレイは 45 MHz というかなり高速な論理信号を扱うため、最新の Bi-CMOS ゲートアレイ (ゲート遅延時間 0.8 nsec) を採用した。1 ゲートアレイ当たりのゲート数は 1,200~2,600 ゲートであり大きくはないが、ゲートアレイの開発期間がボード全体の開発期間を左右するため、厳密な論理シミュレーションを実施し、すべてのゲートアレイを 1 回の開発サイクル (3~4 か月) で完成した。このゲートアレイ化により、ボードの実装面積および消費電力を従来の半分以下にすることが可能になった。

本マザー・ボードの諸元を表 2 に示す。

マザー・ボードは、1 メガバイトのシステム・メモリおよび 2 メガバイトのグラフ・メモリを実装している。グラフ・メモリ (Video Ram) は表示用のビットマップ・メモリであり、256 色表示 (8 BPP*) 時 2,048×1,024 ドット、16 色表示 (4 BPP) 時 4,096×1,024 ドットの領域が使用できる

図 3 にマザー・ボードの GSP メモリ・マップを示す。本図は、OS/2 PM が動作して

* BPP (Bit Per Pixel) : 1 ドット当たりのビット数。

```

***** AVP system (OS2 PM support) *****
+-+ ffffffff |-----|
| | interrupt vectar | |
| | 256vect ( ram ) |
| | ffffe000 |-----|
| | system stack |
| | 1.5kw |
| | ffff8000 |-----|
system ram | ram for debbuger |
| | 6kw | |
| | fffe0000 |-----|
| | system ram |--->|
| | 504kw |
+-+ ff800000 |-----|
| | (reseved) | |
| | c0002000 |-----|
| | internal i/o |
| | c0000000 |-----|
| | (reserved) |
+-+ 07000000 |-----|
| | kanji font |
kanji font rom | for char. display |
| | 1024kw ( rom ) |
+-+ 06000000 |-----|
| | (reserved) | |
| | 03500000 |-----|
| | control i/o |
| | (pallet/control) |
| | 03300000 |-----|
| | (reserved) |
| | 03280000 |-----|
| | LCS ram |
| | 32kw (1024 ch) |
| | 03200000 |-----|
| | (reserved) |
| | 03040000 |-----|
| | screen memory |
| | 16kw |
| | 03000000 |-----|
| | (reserved) |
+-+ 01000000 |-----|
| | KANJI font buffer | |
| | 257kw (5670 ch) |
| | 00bfc000 |-----|
video ram | video ram (*1) |
| | and |
| | work space buffer |
| | 767kw |
+-+ 00000000 |-----|

```

(*1) video ram map

```

00bfc000 +-----+
| | PM work buffer 4096 x 16 (4BPP) |
| | 00bbc000 |-----+
| | | | | | | | | | | |
| | PM graph | Disp. | Non-PM graph | Work Space | Not |
| | | | | | | | | | | |
| | | | | | | | | | | |
| | 1120 x 750 | 160 | 1120 x 720 | 1120 x 750 | 1184 |
| | (4BPP) | (4BPP) | (8BPP) | (1BPP) | (1BPP) |
| | | | | | | | | | | |
00004000 |-----+
| | Display Adjust ( 1 dot line ) |
00000000 +-----+
| | 1180 | 1400 | 3700 | 3b60 |

```

図 3 マザー・ボード GSP メモリマップ
 Fig.3 GSP memory map of the mother board

表2 マザー・ボードの諸元

Table 2 Specification of mother board

表 示	1120×750ドット、1024×768ドット	
表 示 色	グラフ：16または256色 同時表示 文字：16色	
グ ラ フ メ モ リ	2MB (デュアルポートRAM)バックドピクセル方式	
シ ス テ ム メ モ リ	1MB (パリティビット付)	
テ キ ス ト バ ッ フ ア	32KB (8 K文字分)	
LCS メ モ リ	64KB (1024文字分)	
フ ォ ン ト ROM	1MB	24×24ドット(漢字) JIS 1/2 12×24ドット(ANK)
カ ラ ー LUT	256/26万色表示	
B I O S	ROM 32KB	
ゲ ー ト ア レ イ	5個 Bi-CMOS/CMOS (1200-2600ゲート)	
コ ン ト ロ ー ラ	GSP TMS34010 50MHz	
CRTインタフェース	アナログ RGB, マルチシンク	

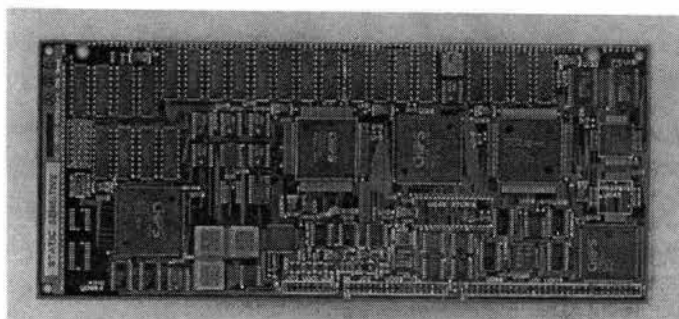


写真2 ピギーバック・ボード

Photo.2 Piggyback board

いる場合の使用例である。図3において、Video Ram 00bfc000* から始まる漢字フォント・バッファ 257KW** は高速な文字表示(BIT BLT)を可能にするために、テキスト表示用の漢字フォントをコピーして使用する領域である。また、System Ramff 8eee00* から始まるPMシャドウ・バッファ 394KW は、PMのウィンドウ退避領域として用いられる。これらのバッファ・メモリは必ずしも上記のサイズが必要とは限らないが、ビットマップの性能はこれらのバッファ・メモリのサイズに左右される。

6.2 AVPピギーバック・ボード

このボードは、AXおよびVGA機能を持つオプション・ボードであり、マザー・ボードの2階として背負わされる(写真2)。本ボードは、AXおよびVGA用の市販アプリケーション・プログラムを変更することなく動作させることを目的としており、ハードウェアおよびBIOSレベルでの完全互換が必須となる。表示制御用LSIとして

* GSPはビット・アドレッシングであるため、このアドレスの下1桁(4ビット)はビット・アドレスである。値は16進数表示。

** GSPのメモリ1Wは16ビット。

は、互換チップ・メーカーの VGA, EGA 互換チップおよび AX 用に開発されている JEGA* チップを採用した。

これらのチップを採用した理由は、EGA や VGA の機能定義が非常にむずかしく、信頼できるメーカーのチップおよび BIOS を使用し、十分な評価を実施することが最良であると考えたからである。このため、AX, VGA 機能はごく一般的なものである。ただし一部異なる点は、本来の AX はビデオ・インタフェースがデジタル出力であり、64 色中の 16 色しか表示できないが、AVP は多色表示のためのアナログ・インタフェースを用いており、同一の CRT モニタを用いるために AX 機能もアナログ・インタフェースを採用している。このため、AX 機能にカラー LUT (Look Up Table) IC を追加している。

AX および VGA 機能は完全に独立しているので、どちらか一方の機能が不要な場合には、片側の部品を実装しなくても動作可能なように設計してある。

7. AVP の評価および今後の検討

表 3 に AVP マザー・ボードのベンチマーク・テスト結果を示す。現行のハイスピード・イメージグラフ・アダプタと比較して(HGA 比)、単純な図形描画では 1.0~2.5 倍、塗りつぶしでは 2.8~25 倍であり、複雑な処理ほど早くなっている。また、ウィンドウ・ソフトで重要になるテキストやブロック・トランスファは 2.8~4.2 倍であり、当初の目標に見合ったものが開発できたと思われる。しかし本当の意味での評価は、オペレーティング・システムを含めたアプリケーションから見た判断を下さなければならぬため、今後の評価が待たれる次第である。

さらに、今後の課題および検討項目を以下に示す。

- 1) オペレーティング・システム(OS)が、AVP のハードウェア性能を十分に活かすきれない部分がある。とくに OS/2 PM のディスプレイドライバは、ホスト

表 3 ベンチマーク・テスト結果
Table 3 Result of benchmark test (単位: 秒)

テスト・プログラム	パターン	回数	AVP ()内はHGA比	ハイスピード・イメージ グラフ・アダプタ (HGA)
クリア・スクリーン		100	7 (2.1)	15
平行四辺形の描画	250	30	4 (2.5)	10
星形の描画	50	20	4 (1.3)	5
円弧の描画	100	20	7 (1.0)	7
長方形内の塗りつぶし	10	10	3 (3.0)	9
星形内の塗りつぶし	50	2	3 (3.3)	10
円内の塗りつぶし	50	2	5 (2.8)	14
楕円内の塗りつぶし	50	2	2 (25.0)	50
長方形のハッチパターン塗りつぶし	100	4	2 (12.5)	25
星形のハッチパターン塗りつぶし	50	2	5 (6.6)	33
円のハッチパターン塗りつぶし	100	4	3 (6.0)	30
テキスト 半角文字 1920字		20	14 (2.9)	40
テキスト 全角文字 960字		20	10 (2.8)	28
点描画 308点		30	3 (3.0)	9
ブロック・トランスファ		519	6 (4.2)	25

テストマシン: PW²500E

* JEGA: ASCII 社の登録商標。

CPU メモリ空間にあるプレーン方式のビットマップ・メモリを直接アクセスするように作られている。このため、AVP のように別 CPU 空間にあるパッドピクセル方式のビットマップを効率良く動作させるためには、ディスプレイドライバの根本的な変更が必要になるとともに OS のソースコードが必要になる場合もある。このように、OS の性能がハードウェア構成に依存する場合、OS に合わせたハードウェアの設計も必要になるが、AVP の開発当初は ON/2 PM の仕様さえ入手できず不可能であった。今後、OS およびハードウェア両者の改善を行い、最大限の性能を発揮できるようにしたい。

- 2) ビットマップのメモリ量を増加することは性能の向上につながるが、コストも増加する。このため、機能/性能とメモリ・サイズの評価を行い、メモリ量の適性化をはかりたい。
- 3) 今後アウトライン・フォントの普及が予想されるが、AVP の GSP を用いても漢字アウトライン・フォントの展開にはかなりの時間を必要とする。このため、アウトライン・フォント専用のハードウェアの検討を早急に行う必要がある。
- 4) より高性能なグラフィック・プロセッサの採用、およびキャラクタ表示用ハードウェアを削除した完全なフルビットマップ・ディスプレイの検討を行いたい。

8. お わ り に

AVP の開発過程で最も議論した点は、ビットマップ空間上にキャラクタ表示用のハードウェアを付けるか否かであった。結果としてそのハードウェアを付加したのであるが、これに費した開発期間およびコスト増はかなり大きいものであった。しかし、使い勝手というものは、一度それに慣れてしまえばなかなか後戻りできないものであり、今回のスクロール・スピードもそれに当てはまるのではないだろうか。たとえ新しい機能が増えたとしても、スクロール速度が遅いことだけで「使い物にならない」と言われる場合もある。そのような意味で今回の選択は正しかったと信じる。

しかし、われわれの長年の目標は本当のフルビットマップ・ディスプレイであり、今回の AVP では達成できなかったが、次へのステップとして夢を追い続けるつもりである。

-
- 参考文献 [1] AX 協議会, AX テクニカルリファレンスガイド 1989.5.30.
 [2] IBM Corporation, PS2 Display Adapter 8514/A Technical Reference, 1987.
 [3] Texas Instruments Incorporated, TMS 34010 Graphics System Processor, 1987.

執筆者紹介 的 場 勉 (Tsutomu Matoba)

昭和 55 年関西学院大学理学部物理学科卒業。同年日本ユニシス(株)入社。マイクロプロダクトのハードウェア開発に従事。現在マイクロプロダクト本部ハードウェア開発一部に所属。



ディスプレイ・モニタの共通インタフェース実現 における PLL の応用

PLL Application for a shared Display Monitor Interface

花 谷 行 雄

要 約 情報システムのマンマシン・インタフェースにおいて、情報端末としてのディスプレイ・ユニットは、情報の伝達を視覚に訴えるインタフェースの一つとして重要な位置を占め、最近のフラット・ディスプレイの発展とともに、ますます社会の関心を得るに至っている。

また、フラット・ディスプレイはスペース・ファクタにおいて、CRT (Cathode Ray Tube) に対し優位性を持ち、昨今の関連デバイスの研究開発により、11 インチ程度のカラーパネルの製品化も相次ぎ、一部では CRT の代替品として実現化している。

このような状況において、インタフェース仕様の異なる CRT とフラットパネルの共存を目的とし、同一プロセッサ・モジュールに CRT とフラットパネルの両タイプを選択および接続可能とする、CRT インタフェースを有する EL ディスプレイ・モジュール (BJ 30-ELD) を開発した。

本稿では、この開発過程をベースに PLL (Phase Locked Loop) の応用による CRT と共通のインタフェースを持つフラット・ディスプレイ・モニタの実現手法、およびその効果から共通インタフェースのあり方について考察する。

Abstract In the realm of man-machine interfacing for information processing systems, the display unit as a terminal device has established its own place of importance as an interface allowing data to be communicated in a visible form, and has been successful in drawing more and more of our interest in keeping with the current technological advance in the flat display.

The flat display has the upperhand over the CRT (cathode-ray tube) display in terms of space requirement. Recent R & D efforts for related devices have made it possible to produce 11-inch color panels, some of which are already put into practical use in place of CRTs.

To meet the requirements for the coexistence of a CRT and a flat panel whose interface specifications differ from each other, Nihon Unisys, Ltd. has developed the EL display module (BJ30-ELD) equipped with a CRT interface. This is so designed as to allow the same processor module to select and connect both CRT and flat panel monitors.

Based on the process of this development, this paper discusses the phase locked loop (PLL) which has enabled the flat display monitor to have the same interface as the CRT, also covering its basic theory, functions, motion analysis and design method.

1. は じ め に

フラットパネル・ディスプレイは発光型のプラズマ表示 (PDP)、電界発光表示 (ELD)、および非発光型の液晶表示 (LCD) 等のタイプがあり、各タイプとも大きさ、重量、および消費電力の各特性において、CRT に対し優位性を持っている。

また、情報端末として使用する CRT は現在 14~15 インチが主流であるが、PDP で

はすでに実用化され、ELD, LCD においても 11~13 インチの画面サイズのもの相次いで製品化されている。

画素数も画面サイズの拡大にともなって増加し、現在 1,120×800(ドット)程度のフラットパネルも製品化され、大画面あるいは高解像度を必要とする EWS, DTP(Desk Top Publishing)等の特定用途以外の使用では、視認性においても CRT と比較し、遜色のないものが実用化されている。

以上のことから、現在はディスプレイ・モニタにおいて、CRT からフラットパネルへの過渡期であると言えるであろう。

このような状況のもと、CRT インタフェースを有する EL ディスプレイ・モニタ (BJ 30-ELD)を開発した。

この BJ 30-ELD を接続する NW² ファミリは、すでに各種(モノクローム、カラー等)の CRT モニタを、その構成モジュールとするシステムであり、フラットパネル・ディスプレイ接続用の専用システムではない。システム的にはキーボード同様、モニタが ID を持つことにより、エンド・ユーザにおいて、同一プロセッサ・モジュールに、CRT と EL の両タイプのモニタを選択および接続可能としている。

したがって、フラットパネルにおける CRT インタフェースの実現により、ハードウェア変更の必要がなく、同一ビデオ・ケーブルにて、同一システム上に CRT とフラットパネルが共存できる。

その効果は、結果的にエンド・ユーザにおけるモニタ選択の自由度を拡大した。

また、この手法はこれからますます発展するフラットパネルを既存のシステムに組み込む手段となり、将来的に有効な技術であると考えられる。

本稿では、BJ 30-ELD の開発において実現した PLL の応用による共通インタフェースの実現方法について述べる。

PLL の基本理論については、周知のことではあるが若干触れ、その後、共通インタフェースに用いた PLL の設計方法、評価、およびその効果について述べる。

2. CRT とフラットパネルのインタフェースの差異

CRT, フラットパネルの各ディスプレイ・デバイスに必要な制御信号について、その基本構造の違いを以下に述べる。

2.1 CRT 表示と制御信号

CRT は、基本的に電子銃と偏向系と蛍光面から構成される。

- 1) 電子銃は電子を発生し電子ビームを形成、加速、および集束する。
- 2) 偏向系は、表示位置制御信号により電子ビームを偏向し、蛍光膜への到達を制御する機能を有する。
- 3) 蛍光膜は、入射電子ビームにより発光し情報を表示する。

以上の各構成要素の一連の動きにより、画像データの表示が可能となる。そのインタフェースにおける制御信号、すなわち偏向系の表示位置制御信号は、水平位置を制御する水平同期信号と、垂直位置を制御する垂直同期信号の二つの制御信号から成る。

したがって、CRT ディスプレイ・モニタでは、画像データと二つの表示位置制御信号(水平同期信号、垂直同期信号)により、画像情報が表示可能となる。

2.2 フラットパネル表示と制御信号

フラットパネルとして、BJ 30-ELD に使用する EL について記述する。

EL パネルは、発光層を上下から絶縁層で挟んだ二重絶縁膜構造をしている。また、パネルの各層は背面電極以外は透明であり、水平電極群と垂直電極群は互いに配置され、X-Y マトリックスを形成している。

この水平および垂直電極群にパルスを印加することにより、電極の交点に高電界が印加される。この高電界により、対応する画素の母体材料の励起が起こり、ある種の時定数で励起状態から基底状態へと自然安定する。この遷移時のバンド・エネルギー差が、光エネルギーとして発光し情報を表示する。

X-Y マトリックス方式の発光制御のために、水平同期信号と垂直同期信号が必要であるが、これらの電極選択信号と画像データはシフト・レジスタを通して各電極群に接続される駆動回路へ送られる。そして、この画像データを入力するシフト・レジスタのシフト・クロック等に、画素クロックを必要とする(図1)。

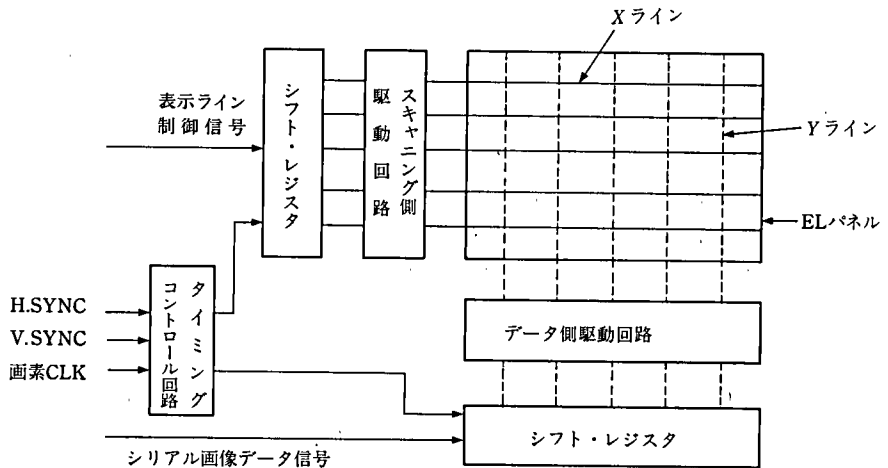


図1 EL駆動回路部(ブロック図)

Fig.1 EL drive logic(block diagram)

したがって、ELに限らず基本的にフラットパネルは、画像データと三つの表示位置制御信号(水平同期信号、垂直同期信号、画素クロック)により、画像情報を表示可能としている。すなわち、CRTに必要な水平同期信号および垂直同期信号以外に、さらにこれに同期する画素クロックが必要である。

また、画像データの入力方法は、そのフラットパネルの機能に応じ各種の入力方法が存在するため、共通インタフェースの実現化において、基準となる画像データの入力仕様の決定も必要となる。

3. 共通インタフェースの実現方法

前述の通り、CRTとフラットパネルの制御信号には、画素クロックの必要性の有無の違いがある。共通インタフェースの実現のため、フラットパネルにおける必要な画素クロックの供給方法には以下の2通りの方法が考えられる。

- 1) 画素クロックをプロセッサ・モジュールからビデオ・ケーブルを通して表示装置へ供給する。
- 2) 水平および垂直同期信号に同期する画素クロックを、表示装置内で生成する。次に各方法について考察する。

1)の方法は、その実用化は容易であるが表示装置では CRT が先に製造され、さらに市場の大勢を占めるため、ビデオ・ケーブルには画素クロック用の信号線が用意されていない。このため、新たにこの条件を満たすビデオ・ケーブルの作成や、画素クロックを供給するためのプロセッサ・モジュールの改造が必要となる。また、ケーブルに周波数の高い画素クロックを通すことは、シールドケーブルの使用を前提としても、近年問題となっている EMC(Electro Magnetic Compatibility)上好ましくない。

2)の方法は、CRT モニタの接続されるプロセッサ・モジュール、およびビデオ・ケーブルに変更を加えることなく、フラット・ディスプレイが接続可能である。その実現方法として、画素クロックを N 分周すれば水平同期信号が得られることから、PLL の応用により、水平同期信号からこれに同期する N 倍の周波数の画素クロックを生成することが可能である。したがって、CRT 用とフラットパネル用のプロセッサ・モジュール、およびビデオ・ケーブルの共通性を維持できる。また、EMC においても、1)の方法と比較し良好な結果を得られるものと期待できる。

以上の考察より、BJ 30-ELD では、方法 2)の PLL の応用により、共通インタフェース、すなわち CRT インタフェースを実現し、EL ユニットの駆動を可能にした。

次に、この画素クロックの生成に応用する PLL 周波数シンセサイザの特性について述べる。

4. PLL 周波数シンセサイザのループ特性

PLL とは、入力信号と構成要素の一つである発振器の出力信号をフィードバックすることにより、入出力信号の位相および周波数を一致させるように働く制御回路である。 ϕ Det(Phase Detector)、ループ・フィルタとして LPF(Low Pass Filter)および VCO(Voltage Controlled Oscillator)から構成される。

PLL 周波数シンセサイザは、この PLL の帰還部にデバイダを挿入し、入力周波数の整数倍(デバイダにより設定)の周波数の出力信号を、入力信号に同期した形で取り出せる周波数シンセサイザである。図 2 にブロック図を示す。

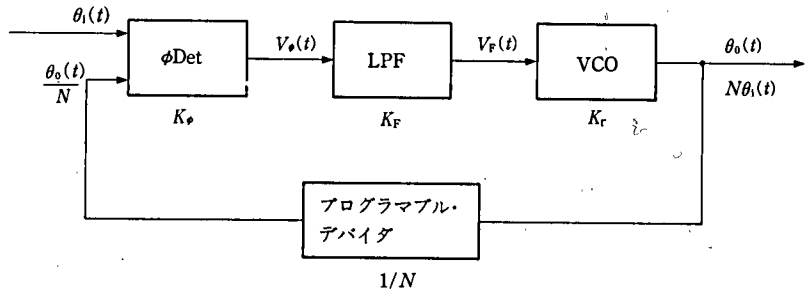
4.1 PLL の各構成要素の機能

ϕ Det は、基準入力信号と比較信号の位相差を検出し、位相差信号を出力するものである。ただし、 ϕ Det は二つの入力信号の位相差信号を 1 サイクルごとに出力するため、その入力信号の周波数成分と高調波成分を含む信号を出力する。

LPF は、 ϕ Det の出力パルスを位相差に比例した直流電圧レベルに変換し VCO の入力制御電圧にする。

VCO は、この入力電圧により発振周波数が制御される発振器である。また、この出力にデバイダを挿入し、 N 分周して ϕ Det への比較信号として帰還させることにより、基準入力信号に同期した N 倍の周波数の出力信号を得ることができる。

また、 ϕ Det、LPF、VCO の各構成要素の入出力の関係から、



$\theta_i(t)$: 位相入力信号 K_ϕ : 位相比較器の利得定数[V/rad]
 $V_\phi(t)$: 位相誤差出力 K_F : フィルタ利得
 $V_F(t)$: フィルタ出力電圧 K_V : VCOの変換利得[rad/Vsec]
 $\theta_o(t)$: 位相出力信号 N : プログラマブル・デバイダの分周比

図 2 PLL 周波数シンセサイザ・ブロック図
 Fig. 2 PLL frequency synthesizers block diagram

$$\begin{aligned}
 V_\phi(s) &= K_\phi(\theta_i(s) - \theta_o(s)/N) \\
 V_F(s) &= K_F(s) \cdot V_\phi(s) \\
 \theta_o(s) &= (K_V \cdot V_F(s))/s
 \end{aligned}$$

の 3 式を得る。

この系の特性を示す基本式であるループ伝達関数 $H(s)$ は、式(4-1)となる。

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_\phi \cdot K_V \cdot K_F(s)}{s + \frac{K_\phi \cdot K_V \cdot K_F(s)}{N}} \tag{4-1}$$

$K_F(s)$ はフィルタの伝達関数である。

4.2 PLL の動作解析

4.2.1 ループ伝達関数

LPF は、パッシブ・フィルタと比較し位相誤差が少なく、また直流ゲインが大きい
ため、広い VCO コントロール・レンジが得られるアクティブ・フィルタを選択する。

図 3 に示すアクティブ・フィルタを使用した場合のループ伝達関数を求める。

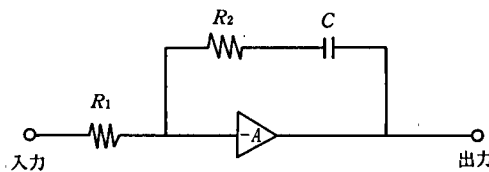


図 3 アクティブ・フィルタ
 Fig. 3 Active filter

このアクティブ・フィルタの伝達関数は、増幅器の利得 A が十分大きいとし、また $T_1 = CR_1$, $T_2 = CR_2$ とすると式(4-2)となる。

$$K_F(s) = \frac{1 + sT_2}{sT_1} \tag{4-2}$$

したがって、ループ伝達関数は、式(4-2)を(4-1)の基本式に代入し、式(4-3)を得る。

$$H(s) = \frac{N \cdot (2\zeta\omega_n s + \omega_n^2)}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (4-3)$$

ただし、 ω_n 、 ζ は以下の式(4-4)、(4-5)となる。

$$\omega_n = \sqrt{\frac{K_p \cdot K_V}{N \cdot T_1}} \quad (4-4)$$

$$\zeta = \frac{T_2}{2} \sqrt{\frac{K_p \cdot K_V}{N \cdot T_1}} = \frac{T_2}{2} \omega_n \quad (4-5)$$

ここで、 ω_n ：自然角周波数、

ζ ：ダンピング・ファクタ

4.2.2 定常誤差

位相入力信号 θ_i が変化した場合においても、ロックが外れない範囲であれば θ_o は θ_i に追従する。

この追従における特性として、図3のアクティブ・フィルタを使用した場合の θ_o の変化と定常誤差の関係について、以下に述べる。

位相の入力変動を次の3種とした場合、式(4-1)から位相誤差 $\theta_e(s)$ の関数を導き、ラプラス変換の最終値定理 ($\lim_{t \rightarrow \infty} \theta_e(t) = \lim_{s \rightarrow 0} s \cdot \theta_e(s)$) を用いると、最終的に①ステップ関数になる場合、および②時間の一次関数になる場合、の二つの場合には定常誤差がなく、③時間の二次関数になる場合は一定となることが知られている。

4.2.3 過渡特性

系の安定性を過渡特性から検討すると、式(4-3)のループ伝達関数より、式(4-6)を得る。

$$\theta_o(s) = \frac{(2\zeta\omega_n s + \omega_n^2) \cdot N}{s^2 + 2\zeta\omega_n s + \omega_n^2} \cdot \theta_i(s) \quad (4-6)$$

式(4-6)の分母を0とすると、その根、 a_1 、 a_2 は次式となる。

$$a_1, a_2 = (-\zeta \pm \sqrt{\zeta^2 - 1}) \cdot \omega_n$$

これより、この回路系の過渡特性はダンピング・ファクタ ζ の値によって、以下のよう
に状態が変化する。

$\zeta = 0$ ：正弦波の連続振動

$0 < \zeta < 1$ ：減衰振動

$1 \leq \zeta$ ：振動しないで単調減衰

また ω_n は速応性に関係し、 ζ は速応性および減衰性の相互に関係する。すなわち、 ζ の値が大きくなると減衰性は良くなるが速応性は悪くなり、逆に小さくなるとその特性も逆となる。

式(4-3)のループ伝達関数の $\theta(s)$ に、ステップ入力を与えたインディシャル応答は、式(4-6)の $\theta(s)$ に $1/s$ を代入し、ラプラス逆変換することにより出力の時間に対する応答関数として求め、 ζ の各値に対して求めたグラフを図4に示す。

以上のループ特性から、次のループの設計に取りかかる。

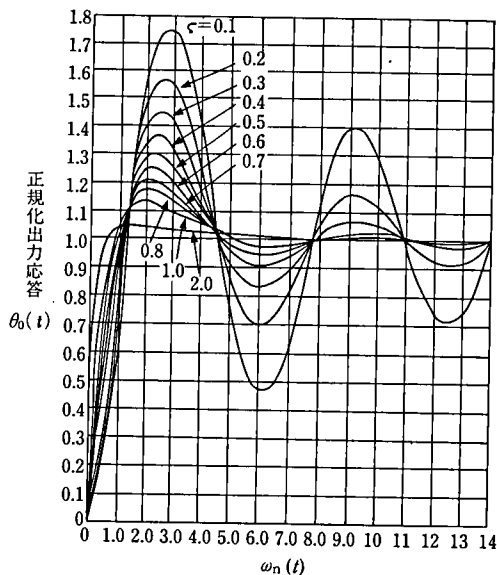


図4 ステップ応答

Fig.4 Step response

5. モニタ・インタフェースにおける PLL の設計

BJ 30-ELD の設計過程をもとに、EL ディスプレイへ供給する画素クロックを、水平同期信号から生成することを目的とした PLL 周波数シンセサイザの設計概要について述べる。

画素クロックは 16.0 MHz、水平同期信号は 23.8 kHz の値を取る。

設計に際しては、以上の条件を満たす TTL タイプのモトローラ社の MC 4044 (ϕ Det) および MC 4024 (VCO) を使用した。

プログラマブル・デバイスは、アップ/ダウン・カウンタ 74 F 192 を 3 段用いて、プリセット可能なものとした。

LPF 以外の構成も決まり、次にダンピング・ファクタ ξ およびロックアップタイムを仮定し、自然角周波数 ω_n を求める。そこで ξ を 0.8 とし、図 4 より $\phi_0(t)$ のオーバーシュートが 1.05 以下において出力応答が安定したとすると、 $\omega_n(t)$ は 4.5 rad 以上となる。

したがって、ロックアップタイムを 5 msec (約 120 ラスタ表示時間) とすると、自然角周波数は式(5-1)の通り決定する。

$$\omega_n = 4.5 / 0.005 = 900 \text{ rad/sec} \quad (5-1)$$

5.1 位相比較器 (ϕ Det)

PLL の設計において使用する ϕ Det MC 4044 は、 ϕ Det # 1、 ϕ Det # 2 の 2 種類の位相比較器と、チャージ・ポンプおよびダーリントン・アンプを内蔵している。

図 5 に、この位相比較器の構成図を示す。

ここでは、位相周波数比較器として動作する ϕ Det # 1 を用いる。この比較器は R (1 ピン) に入力される基準信号に対し、V (3 ピン) に入力される帰還信号が遅れている場

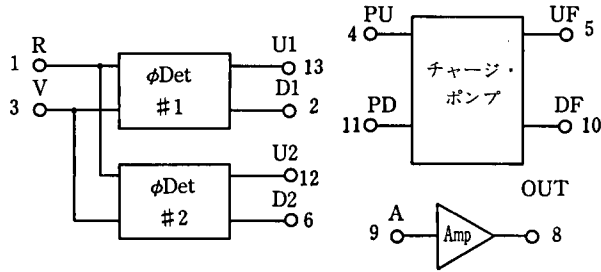
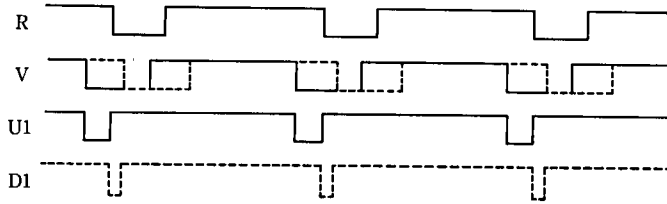


図 5 位相比較器構成図

Fig. 5 Phase-frequency detector block diagram

合は、D 1 (2 ピン) がロー状態になり、逆の場合は D 1 がハイ状態になり、U 1 (13 ピン) がロー状態になる。

この入出力タイミングを図 6 に示す。



実線：基準信号 R に対し、帰還信号が進んでいる場合を示す。
 点線：基準信号 R に対し、帰還信号が遅れている場合を示す。

図 6 位相比較器の入出力カタログ

Fig. 6 Phase detector timing diagram

φDet # 2 については、入力信号が 50 % デューティ・サイクルに限られるため、基準入力信号を水平同期信号とする構成では使用不可能である。

また、φDet # 1 は、NAND ゲートによるラッチの組み合わせの構成をとり、入力信号のデューティ・サイクルに関係せず、各信号の立下りのタイミングにのみ依存し動作するため、VCO の帰還信号における発振可能周波数の範囲内であれば、確実にロック可能である。したがってロックレンジは、VCO の帰還信号における可変周波数範囲そのものである。

MC 4044 は仕様上、入力周波数が 8 MHz まで動作可能であるため、φDet の感度の悪さによるジッタ分は、以下より 1.1 度となる。したがって、1.1 度以下は比較できないが、実用上問題ない。

$$23.8 \text{ kHz} \div 8 \times 10^3 \text{ kHz} \times 360 \text{ deg} \approx 1.1 \text{ deg}$$

位相比較器の変換利得は、その仕様書より (5-2) 式の値とする。

$$K_{\phi} = 0.12 \text{ V/rad} \tag{5-2}$$

次段のチャージ・ポンプは、U 1, D 1 の各 TTL 負論理の出力信号を、アナログ量に変換するために使用する。

5.2 電圧制御発振器(VCO)

本設計において使用する VCO MC 4024 は、25 MHz までの発振が仕様上可能であり、その発振周波数レンジは外部制御コンデンサ Cx1 に挿入するコンデンサの容量により決定される。

VCO が好感度を保つ入力制御電圧を、部品仕様書の「周波数・キャパシタンス——入力制御電圧、関係図」より 4 V とすると、発振周波数対外付けコンデンサ Cx1 の値は 250 MHz・pF となる。

求める出力周波数を 16 MHz とすることより、Cx1 は 15 pF を選択する。

ただし、部品仕様書から Cx1 を 15 pF として変換利得 K_v を求めると、 $K_v=53\sim 93\sim 120$ rad/Vsec となり、変動範囲が大きいため、実験より図 7 に示す入力電圧対出力周波数特性を求める。

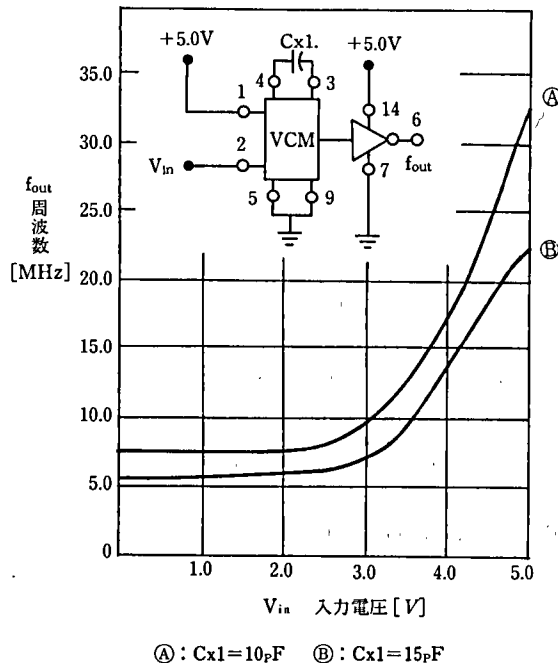


図 7 入力電圧対出力周波数特性

Fig. 7 Output frequency versus supply voltage.

このグラフより、VCO の変換利得 K_v は式 (5-3) のようになる。

$$K_v = 2\pi(20 - 15) \times 10^6 / (4.62 - 4.11) \\ = 65.45 \times 10^6 \text{ rad/Vsec} \quad (5-3)$$

電源電圧、動作電圧および浮遊容量の不安定要因もあるが、以上の K_v の値は部品仕様書の範囲であり、Cx1=15 pF とし、VCO の変換利得は式 (5-3) を用いることとする。

5.3 プログラマブル・デバイダ

プログラマブル・デバイダは、ダウン・カウンタによるプリセット方式とする。その遅延時間を考慮して、74 F 192 の 4 ビットアップ/ダウン・カウンタを、3 個カスケ

ード接続して使用する。F タイプの使用に当たっては、動作時の電源回路への影響も考えられるが、デバイダの電源と PLL のアナログ回路用電源とは、分離した構成をとるため問題はない。

また、入出力仕様に柔軟性を持たせるため、DIP スイッチにより、3桁のBCDで通倍比を設定可能なものとした。

BJ 30-ELD の PLL 周波数シンセサイザでは、23.8 kHz の水平同期信号から、16 MHz の画素クロックを生成するため、分周比 N を以下の値とする。

$$N=672 \tag{5-4}$$

5.4 アクティブ・フィルタ

LPF として、MC 4044 内部のダーリントン・トランジスタ、および外部トランジスタを用いて、アクティブ・フィルタを設計する。

フィルタの構成上、その増幅器が理想的でないため補正項 K_c を 0.5 として伝達関数に加える。

また、図 3 に示す C を $2.2\mu\text{F}$ とし、式(4-2)、(4-4)、(4-5)、(5-1)、(5-2)、(5-3)、(5-4)より抵抗 R_1 、 R_2 を求める。

$$K_F(s) = K_c \cdot \frac{1+sT_2}{sT_1} \tag{4-2}$$

$$(T_1 = CR_1, T_2 = CR_2)$$

$$\omega_n = \sqrt{\frac{K_\phi \cdot K_V}{N \cdot T_1}} \tag{4-4}$$

$$\zeta = \frac{T_2}{2} \cdot \omega_n \tag{4-5}$$

$$\omega_n = 900 \text{ rad/sec} \tag{5-1}$$

$$K_\phi = 0.12 \text{ V/rad} \tag{5-2}$$

$$K_V = 65.45 \times 10^6 \text{ rad/Vsec} \tag{5-3}$$

$$N = 672 \tag{5-4}$$

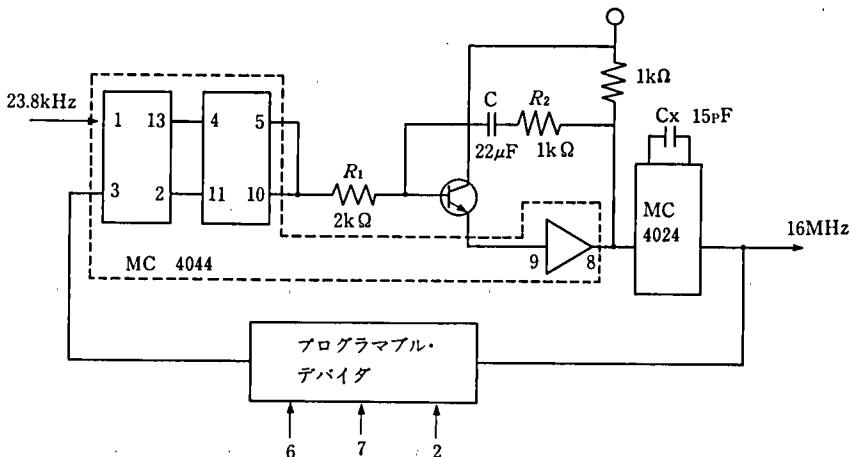


図 8 PLL 設計回路図

Fig 8 Circuit diagram of PLL

求まる R_1 , R_2 を以下に示す。

$$R_1=3,280\Omega, R_2=810\Omega$$

以上の R_1 , R_2 の値をもとに実験から、より適切な入出力特性を示す定数を求めると、以下の値となった。

$$R_1=2k\Omega, R_2=1k\Omega$$

このようにして求めた PLL 回路を図 8 に示す。

6. PLL の評価および考察

6.1 位相誤差

フラット・ディスプレイ・インタフェースにおいて、この位相誤差は画像データに対する画素クロックの「振れ」となる。

この「振れ」が、ディスプレイ・デバイスの仕様上の許容範囲を越えると、ピクセルごとに本来のデータをラッチできず、表示画面上にビジュアルに「ちらつき」として発生する。

このためディスプレイ・デバイスの仕様上、画像データに対する画素クロックの位相誤差は、 π rad を中心として、 $\pm\pi/2$ rad 程度の変動に抑えることが必要である。

実際に BJ 30-ELD では、この位相誤差変動について水平同期信号にトリガを立てて測定すると、 ± 1 rad (± 10 nsec) 以内の変動であったため問題はない。

ただし、PLL 回路を基板へ実装する場合アナログ部とデジタル部の混在した回路であるため、その各コンポーネントの配置およびパターン設計は、アナログ回路部がデジタル回路部のノイズの影響を受けないよう、十分な対処が必要である。

とくに LPF の出力、すなわち VCO の制御信号にノイズが印加されると、ダイレクトな出力位相の変動となる。

その他にも、電源電圧のリップル・ノイズについても注意が必要であり、とくに EL のように消費電力の大きなデバイスを使用する場合、その電源における負荷変動は非常にダイナミックなものとなる。

また、グラフィック・ディスプレイとしての使用は、キャラクタ・ディスプレイとしての使用に比較し、よりダイナミックな電源負荷にさらされることになる。

したがってフラット・ディスプレイの場合、その省スペース性を前面に出す設計となることは致し方ないが、電源については、このダイナミック負荷においてもディスプレイ・デバイス仕様を満足する特性を得られる設計とすることが必要である。

具体的には、インタフェース・ボードのデジタル回路用電源と、ディスプレイ・ユニット内電源を共用することに問題はないが、PLL のアナログ回路用電源は分離することが望ましい。

画素クロックが、 ± 10 nsec 程度以内の振れで動作する本機のアナログ回路用電源は、リップルが約 40 mV、HF ノイズが約 70 mV である。

この電源に、リップル：75 mV、HF ノイズ：200 [mV] 程度のものを使用すると、先の画素クロックの振れは ± 300 nsec 程度になり、表示画面にも「ちらつき」が発生する。

6.2 出力周波数範囲

基準信号が 23.8 kHz であり、プログラマブル・デバイダの設定値を変更することにより、9~23 MHz の範囲で、安定出力を得ることが可能である。

6.3 ζ および ω_n

5.4 節にて決定した抵抗値 R_1 , R_2 により、 ζ および ω_n を求めると、次に示す値となる。

$$\zeta=1.22, \quad \omega_n=1,108\text{rad/sec}$$

以上より、 ω_n については設計値より大きくなり、速応性は向上する。 ζ はその値が 1 以上であり、過渡特性は単調減衰となるが減衰性は良くなる。

本 PLL の基準信号とする水平同期信号は水晶発振器から作られていることから、非常に安定性が高いと考えられるため、減衰性の良いこともあり、上記の ζ および ω_n の値において良いものと判断する。

7. 共通インタフェースの効果

1) 表示装置のインタフェースの統一……フラットパネルを CRT の代替として接続でき、そのビデオ・ケーブルも CRT と共用できる。表示制御装置の共用も可能となる。また、BJ 30-ELD では、PLL の応用による画素クロックの生成機能以外に、表示制御装置との接続性において、より柔軟性を持たせる意味から以下の機能も有する。

- ① 入力ビデオ信号のレベル(アナログ/TTL)選択機能
- ② 水平および垂直同期信号の極性選択機能

したがって本機は、NW² ファミリーにおいて 15 インチ・モノクローム・CRT モニタと置換が可能である。

2) 異なる解像度への対応……DIP スイッチにより PLL 回路のデバイダの設定値変更が可能であるため、表示画面の解像度の変更に伴う水平同期信号および画素クロックの周波数変更に対応可能である。

ただし、画素クロックは、本回路の仕様により最大 23 MHz の制限を受ける。しかし、高解像度(1,120×800 程度)のフラットパネルにおいても、画像データを分割、パラレル入力とするため、画素クロックは以上の値で十分である。

3) EMC 対策……周波数の高い画素クロックをビデオ・ケーブルに通さないため、ケーブルからの電磁放射は減少する。この効果を検証するため、PLL 回路を持たないでビデオ・ケーブルにてプロセッサ・モジュールから画素クロックの供給を受ける BJ 20-ELD(EL ユニッドは BJ 30-ELD と同一)との、電磁放射における対比データを表 1 に示す。

表 1 の BJ 20-ELD のデータは、画素クロックを供給するプロセッサ・モジュールから、ビデオ・ケーブルおよび BJ 20-ELD を取り外すことにより規格値以下となる。

このことから BJ 20-ELD のデータは、ビデオ・ケーブル中の画素クロックが大きく影響しているものと考えられる。

ただ、この対比データは測定時のシステムに新・旧のレベル・アップ等があり、単純に比較はできない。しかし、画素クロックをディスプレイ・モニタ内で生成するこ

表1 電磁放射比較表

Table 1 Comparison between electromagnetics distributions

周波数 [MHz]	BJ20-ELD [dB]	BJ30-ELD [dB]
48	-1.3 (V)	—
80	+4.7 (H)	—
96	-5.5 (H)	-13.6 (H)
160	—	-12.2 (H)
176	+4.4 (H)	-16.7 (H)
192	+2.7 (H)	-17.6 (H)
208	+1.2 (H)	-16.1 (H)
224	+0.5 (H)	-14.8 (H)

- データは、対規制値 (VCCI, Level1) マージンを示し、画素クロックに関すると思われる抜粋データである。
- BJ20-ELDの測定において使用するビデオ・ケーブル (画素クロックを通す) は、以下のラミネート・テープおよび編素線によりシールドされる。
 - ラミネート・テープ (材質: Al, 厚さ: 0.04 mm)
 - 編素線 (材質: スズメッキ銅, 構成: (打数16, 持数5, 素線径0.1), シャヘい率: 70%以上)

とにより、少なくともケーブルからの放射および影響が、問題のないレベルまで改善できたと判断する。

8. おわりに

現在、製品化されているフラットパネルは、その制御信号として画素クロックが必要であることは、本稿の初めに述べた通りである。

現状ではフラットパネルはラップトップ機等の特定用途での使用に限定され、そのため専用の表示制御装置により画素クロックの供給を受けている。しかし、将来的にはフラットパネルの発展にともなって、本機 (BJ 30-ELD) 同様、CRT に代わるディスプレイ・モニタとして普及することは確実である。

フラットパネルが普及し、モニタとしてCRT と共存する場合、ユーザ・サイドの観点から、その表示制御装置 (プロセッサ・モジュール等) は、フラットパネル、CRT 等の接続するディスプレイ・タイプに関係なく、そのインタフェースを共通化すべきであろう。

この場合、先に述べたようにフラットパネルに必要な画素クロックは、①プロセッサ・モジュール側から供給する方法と、②モニタにおいて生成する方法、がある。どちらの方法によっても PLL の応用により、フレキシブルに各種のモニタに対応する画素クロックを生成することが可能である。ただし、EMC における効果、またこの画素クロックはフラットパネルに限り必要であること等、その有効性から判断するとモニタ内に装備すべきである。

したがって、システム全体の観点からモニタをとらえた場合、その入力仕様は CRT インタフェースとすべきであろう。また、各ディスプレイ・デバイスによるデータの入力仕様の違いは、フィールド・メモリ等による処理により吸収されうるものである。

この PLL 回路は BJ 30-ELD ではインタフェース・ボードとは別に、ピギーバック・ボード (以後、PLL ボード) として搭載する。PLL ボードは、その寸法も 50 (縦) × 50 (横) × 10 (高さ) mm 程度であり、スペース・ファクタの問題も少なく、その仕様

においても柔軟性があるため、他のフラットパネルにも流用が可能であり、CRT インタフェースを実現する手段となる。

将来的には、ニュー・ディスプレイ・デバイスの製品化が相次ぎ、モニタの多様化も予想され、その異なるインタフェースの共通化が、ユーザ・インタフェースおよびコスト・メリットの点から必要となるであろう。本 PLL の応用は、そのインタフェースの共通化における最初のステップである。

-
- 参考文献 [1] 高井宏幸, 「自動制御理論」, オーム社, 1961.
[2] 「Phase-Locked Loop Design Fundamentals, AN-535」, Motorola Semiconductor Products Inc. 1970.
[3] 田中輝夫・村井良太加・屋敷泰次郎・雨宮孝,(得丸英勝 編, 「自動制御」, 森北出版(株), 1981.
[4] 畑 雅恭・古川計介, 「PLL-IC の使い方」, 秋葉出版, 1987.
[5] 「MC 4024 (Data Sheet)」, Motorola Semiconductor Products Inc.
[6] 「MC 4044 (Data Sheet)」, Motorola Semiconductor Products Inc.
[7] 「EL ディスプレイユニット・ユーザーズマニュアル」, シャープ株式会社.

執筆者紹介 花 谷 行 雄(Yukio Hanatani)

昭和 60 年関西大学工学部機械工学科卒業。同年日本ユニシス(株)入社。以来ハードウェア開発関連業務に従事。現在マイクロプロダクト本部 ハードウェア開発一部に所属。



自動給紙装置の開発

The Development of the Automatic Paper Feeding Unit

河原 浩 司

要 約 レーザビームプリンタが開発されて、プリンタの印刷速度は急速に上昇したが印刷用紙の装着の不便さは相変わらずであるため、印刷用紙を自動的に供給する装置に対する要望が高まっていた。

本稿では、日本ユニシス・グループが開発した自動給紙装置の機能および機構の概略について記述している。

Abstract The printing speeds of computer printers have remarkably improved since the laser beam printer was made available, but inconvenience involved in setting printing paper (forms) on the printer still remains unremoved.

This has given rise to greater user requirements for the device which enables printing forms to be supplied automatically.

This paper describes the functional characteristics and mechanism of the automatic paper feeding unit developed by the Nihon Unisys business group.

1. はじめに

レーザプリンタの出現以来プリンタの高速化は急速に進み、大量印刷業務への適用が盛んに行われるようになった。しかし、プリンタの稼働効率の面から見ると必ずしも高速化に見合った向上がはかられていない。

一方、夜間運転への対応、あるいはアウトプットの機密保護の面からも、プリンタの長時間無人運転を可能にする自動給紙装置の要求が強くなってきていた。

本稿ではユニシス・グループが開発した自動給紙装置(写真1)の概要について紹介する。

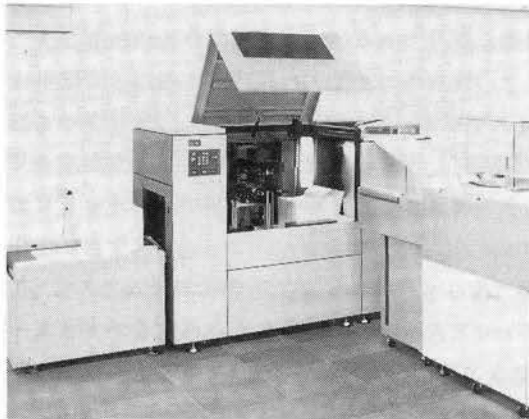


写真1 自動給紙装置

Photo.1 Automatic paper feeding unit (A. P. F.)

2. 自動給紙装置開発の環境

プリンタの高速化が進む中で、人手の介在を余儀なくされる用紙の掛け替え作業に要する時間が、プリンタの稼働効率向上の妨げとなっている。折り幅 11 インチの標準用紙(1箱 2000 頁)を当社のプリンタで印刷した場合の例を表 1 に示す。用紙の掛け替え時間がほとんど変わらないため、プリンタの稼働効率は逆に 89% から 69% に下がっている。

8 時間の連続運転をした場合を考えると、印字速度が 3.4 倍になったにもかかわらず処理量は 2.7 倍に留まっている。

表 1 稼働率比較
Table 1 Comparison of the working ratio of printer

	中速プリンタ UNISYS 0470型	高速プリンタ UNISYS 0490型
印刷速度 (LPM)	3,420	11,700
印刷速度比	1	3.4
印刷所要時間 (分)	38.60	11.28
用紙掛替時間 (分)	5.0*	5.0*
稼働率 (%)	88.5	69.3
8時間処理量 (頁)	242,200	648,600
処理量比	1	2.7

*オペレータの習熟度によって異なる。また最近ではオペレータも他の業務と兼務している場合が多く、さらに長くなる傾向にある。

高速プリンタの稼働効率向上を目指した自動給紙システムは、高速プリンタが市場に出たのと前後して、欧州を中心としてロール給紙方式によるシステムが普及してきた。わが国では I 社が西ドイツ・フンケラー社のロール給紙装置を輸入販売し、一方 F 社では長尺用紙を用いたシステムを開発して客先に設置している。また、最近になって半自動式イタリア・アルフレッド社の紙継装置の輸入が試みられている。

ユニシス・グループにおいても高速日本語プリンタ(0441 型)を発表するとすぐに、客先より相次いで「高速プリンタを販売する以上、用紙の供給・後処理を含めた、一貫システムを提供すべきである」という要求が出され、これに対応する必要が生じた。そこで従来にない新しい考え方に基づく自動給紙システムを市場に提供すべく開発に着手し、昭和 62 年 10 月に完成し客先に納入した。

この装置の完成により、長時間無停止連続用紙供給が可能となったためプリンタの稼働効率の向上はもとより、①オペレータ作業の簡略化、②長時間の無人化運転の可能性が出てきた。

3. 自動給紙装置の概要

3.1 開発概念

図 1 は当社の自動給紙装置の開発概念を示している。開発概念はプリンタを停止することなく長時間にわたって、連続して用紙を供給できるということである。

プリンタの長時間運転を目的とした給紙システムとして、市場にはすでに長尺紙、

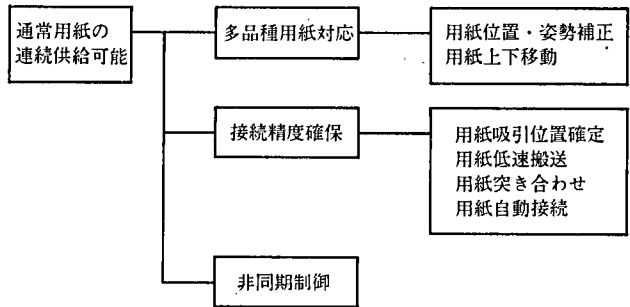


図 1 給紙装置開発概念
Fig.1 Consideration of the A. P. F.

ロール紙によるシステムが実用化されていたことは先に記したが、いずれの場合も用紙の長さは有限である。

ロール紙＝約 37,500 シート (11 インチ換算) …印刷時間 約 190 分

長尺用紙＝約 35,000 シート (11 インチ換算) …印刷時間 約 218 分

また、これらの給紙システムは用紙の取り扱い単位が大きく、いずれも 200 Kg を越える重量となり、用紙運搬のために特殊な設備(フォークリフト、専用台車等)を必要とする。当社ではこのような設備を使用しないで長時間にわたってプリンタに用紙を連続供給可能とするため、通常使用している用紙を接続して用いることを開発の前提とした。それを支える三つの柱として、①多品種用紙対応、②接続精度確保、③非同期制御、という目標を設定して将来のプリンタ完全無人化運転への対応が可能な装置の開発を指向した。

3.2 構成と動作

図 2 に示すようにこの装置は大きく、用紙受入部、用紙接着部、用紙供給部の三つの部分から構成されている。

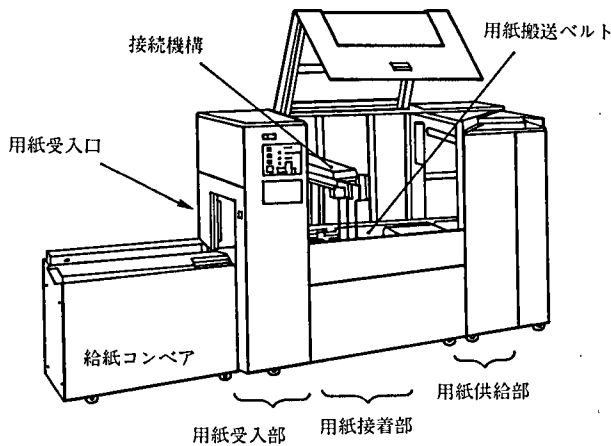


図 2 給紙装置の構成
Fig.2 Consist of the A. P. F.

用紙受入部は給紙コンベアからの用紙を受け入れ、用紙位置・姿勢補正機構が用紙の姿勢および搬送位置を修正する。位置・姿勢補正された用紙は受入部に置かれた状態で、用紙吸引機構によって最上頁の一枚だけが用紙接着部に取り出される。

用紙接着部では、用紙突き合わせ機構によって、用紙受入部から取り出された後続用紙の先端と、用紙接着部に待機している先行用紙の後端を突き合わせてから、用紙接着部のテーブルに一時的に固定する。接続機構が両用紙の接線上に、接続テープを繰り出しながら一定の間隔でテープを接着する。接着終了後パンチ機構が、用紙の接続箇所を明示するためにパンチホールを用紙の接続箇所付近にあける。

用紙供給部は、接続された用紙をプリンタに供給するため待機させる用紙の待機部と、用紙の流路で形成されている。プリンタを運転開始する時の用紙は、スイッチ操作で給紙装置からプリンタまで送られる。

3.3 仕様

表 2 に給紙装置の概略の仕様を示す。

表 2 給紙装置仕様
Table 2 Functional specification

対应用紙寸法	折り幅	プリンタ使用用紙に対応
	横 幅	
	折り高さ	50~300 mm
	紙 質	#55 ~ #135
接着テープ	7 mm幅中央ミシン目入り熱接着テープ	
接着ポイント面積	7 × 9 mm	
接着ポイントのピッチ	約 20 mm	
接着テープの長さ	100 m	
接着サイクルタイム (15インチ用紙)	約40秒(用紙横幅により変動)	
装置外形寸法(本体)	1,940(W) × 1,000(D) × 1,420(H) mm	
使用電源	200V 3相, 3KW max.	
重量	約600 Kg	

4. 機構要素の特徴

本給紙装置の機構は、とくに新しい技術を用いたところはなく、在来の技術によって組み立てられている。機構の中で特徴のある部分をいくつか紹介する。

4.1 多品種用紙を扱う上での問題点

本装置の大きな特徴は多品種の用紙を取り扱うことにある。このことが機構設計上に多くの問題を提起している。

- 1) 機構設計に係わる用紙の特性……給紙装置設計上考慮した用紙の特性およびその範囲を示す。

- ① 用紙の表面積(用紙横幅×折り幅) = 64~224 平方インチ
用紙表面積最大最小比 = 3.5 : 1
- ② 用紙の高さ = 50~300 mm

- ③ 用紙体積 = 2065~43355 立方センチ
用紙体積最大最小比 = 21 : 1
- ④ 紙の厚さ ≒ 紙のこわさ = 83~193 ミクロン

2) 紙の特質……用紙は紙製品であるがゆえ、製造工程でのバラツキ、保管状態等によって箱から出された時の姿勢が個々に異なっている。

用紙の姿勢は最も理想的な形状である正立方体の他に、前・後傾斜(カタギ)、波打ち、反り、引きずりと呼ばれる不良状態がある(図3)。これらの不良状態は単独で現れることは少なく、いくつかが重複して起きることが多い。

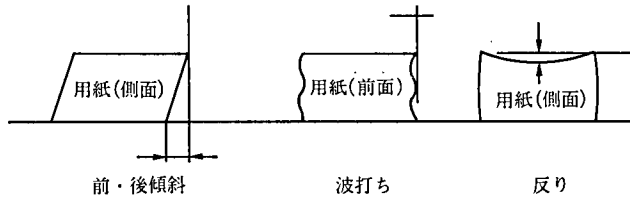
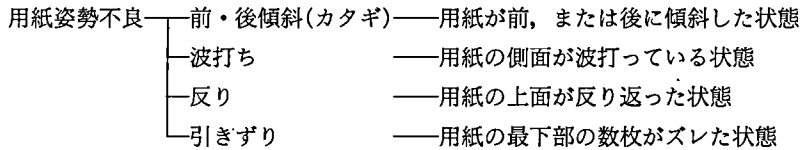


図3 用紙姿勢不良

Fig. 3 Abnormal shape of continuous forms

3) 人手の介入……今回開発した給紙装置は、用紙を保管してある箱から取り出して、給紙コンベアに載せる動作をオペレータに頼っている。このため、用紙が給紙コンベアに置かれた時の状態は一様ではなく、ほとんどの場合が設計上の理想とする用紙位置に対してズレをもっている(図4)。また、取り扱いによっては用紙の姿勢不良も発生しやすい。

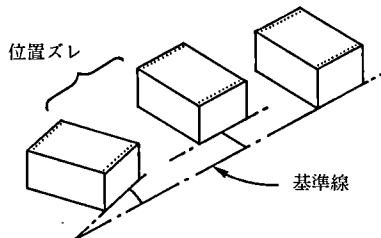


図4 用紙位置ズレ

Fig. 4 Ununiformity place of continuous form

4.2 用紙位置・姿勢補正機構

図5に用紙接続方式の概略を示す。本給紙装置での用紙の接続は、先行用紙の後端と後続用紙の先端を突き合わせ、その状態を保持したまま接着テープで接合する方式をとっている。

突き合わせの精度を得るには、用紙のスプロケットホールを利用することが最適で

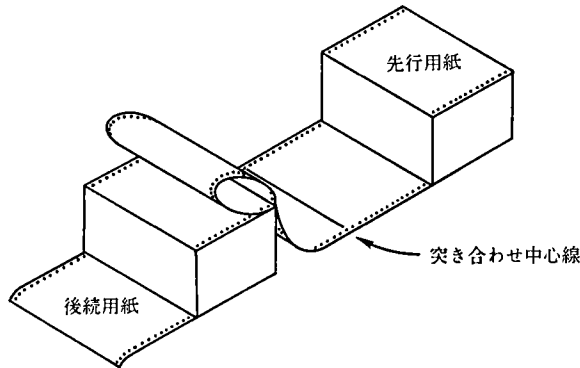


図 5 用紙接続方式

Fig. 5 Conjunction paper edge to edge method

あることは、給紙装置開発の早い段階で確認されていた。しかし、この方式を用いるためには、対象となる前後両方の用紙のスプロケットホールが $\pm 2\text{mm}$ 程度の限られた範囲内に位置していなければならない。

先行用紙の最後端の位置は、用紙が用紙受入部から接着部に移動してきて停止する位置で定まり、後続用紙の最先端の位置は、用紙が受入部にある時の最上頁の位置で決まってしまう。すなわち、前者は用紙が搬送されて停止した位置であり、後者は用紙が受入部にある時の用紙の位置と姿勢が問題となってくる。

オペレータの手で載せられた用紙は、給紙コンベアからそのまま移動して用紙受入部に入るがその時の状態は多様であるため、受入部に入った段階で用紙位置補正、および用紙姿勢補正を行っている。この用紙位置・姿勢補正機構が本給紙装置の一つの重要な要素となっている。

用紙位置・姿勢補正動作の第一ステップは、用紙が受入部に入った段階で用紙全体を平板で基準面側に押し、用紙を搬送ベルト上で滑らせながら用紙の側面を基準面に密着させる。この動作によって用紙の位置補正を行うと同時に、用紙側面の波打ち状態を修正している。次に用紙受入部の前後部にそれぞれ用紙ストッパを配し、用紙を搬送ベルトで前および後に動かし、用紙の前、または後傾斜を修正している。

いずれの動作においても、用紙と搬送ベルト間の摩擦抵抗の値が重要な要素となっている。用紙と搬送ベルト間の摩擦抵抗は、用紙位置と波打ち修正のためになるべく小さいことが望ましいが、用紙搬送および前後傾斜の修正のためにはできるだけ大きい必要がある。しかも、この給紙装置は普通用紙を対象としているため、用紙の重量および表面積の範囲が大変広く、搬送ベルトの材質も一義的には決定できない。

このため、この給紙装置の機構設計上、搬送ベルトの材質選択が大きなポイントであって、試行錯誤の結果トリアミド製の平ベルトを採用した。

上記用紙姿勢不良のうち用紙の最下部の引きずりは、オペレータの用紙取り扱い不適切によって発生するものであり、また将来給紙装置が人手の介入度合いを減らし、さらに自動化が進んだ段階で解消するものであるため、今回はオペレータに依存することとして補正の対象としなかった。

4.3 用紙上下移動機構

用紙受入部は、用紙を置いた状態のまま上下に移動可能な構造とした。用紙受入部は給紙コンベアから用紙を受け入れるのはもとより、逆に給紙コンベアに用紙を排出することも考慮する必要がある。用紙受入部が用紙を受け入れる時は給紙コンベアより低い位置に、排出する時は高い位置に移動して用紙の移動を容易に行えるようにしている。しかし、もっと大きな理由として多品種用紙への対応がある。

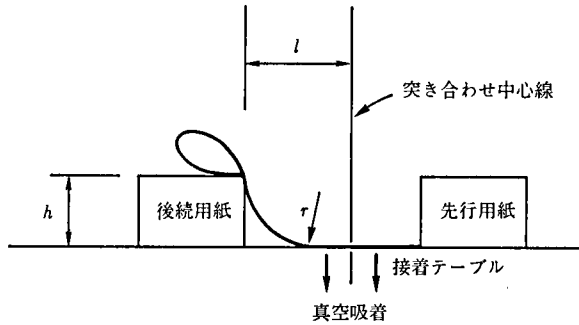


図 6 接続用紙状態

Fig. 6 Normal form to be made by paper position

用紙を接続する時の用紙の状態を図 6 に示す。後続用紙の先端部は、接着が完了するまで真空圧によって接着テーブルに仮固定しているが、突き合わせ動作を行う時に一時的に固定を解いている。用紙の突き合わせ精度を得るためにも、突き合わせ部分の中心線から後続用紙の前部までの距離 $[l]$ は一定となっている。

用紙の接着テーブルからの立ち上がり部分の円弧の半径 $[r]$ は用紙の高さ $[h]$ と紙の固さによっておおよそ決定する。用紙が吸着力に反発する力は、半径 $[r]$ と紙のこわさによって定まる。半径 $[r]$ の値が小さくなるほど反発力が大きく用紙の吸着が不安定となる。この傾向は用紙の厚さが大きくなるほど強い。用紙上下移動機構はこの不安定状態を解消するために、後続用紙全体を下げ、 $[r]$ を大きく取り反発力を弱めて突き合わせ精度を確保している。

4.4 用紙吸引機構

用紙受入部から後続用紙の最上頁 1 枚を取り出すのは、真空圧を利用した用紙吸引機構によって行っている。用紙吸引機構は用紙を吸い上げるとそのままの状態ですべて平行移動し、用紙を接着部の接着テーブルの所定の位置に運ぶ。吸引機構の移動する距離は一定であるから用紙上の吸引場所(用紙先端からの距離)を一定に保つことで接着テーブルに置かれた時の用紙の位置も常に一定に保てる。用紙吸引機構では用紙の状態(補正仕切れなかった姿勢不良等)にかかわらず、吸引場所を一定に保つ動作を行っている。

用紙吸引力は、使用する用紙の種類によって事前に切り替え設定しているが、それでも複数枚吸引することがある。用紙印刷時のインク、あるいは用紙に帯電した静電気によって用紙が密着している場合等である。用紙吸引機構では用紙を吸引して持ち上げるとき、用紙の先端と側面で用紙の掻き落とし動作を行うとともに空気を吹き付

けて余分な用紙を落としている。逆に吸引に失敗した時は再度吸引動作を行う。

また、用紙姿勢不良の中の用紙の反りについては、用紙の最上頁を吸引する真空吸引機構の関節部に自由度を持たせることで用紙の上面の水平度が悪くても、限度はあるものの吸引は可能となっている。

4.5 用紙突き合わせ機構

用紙を接着する前に行う突き合わせ動作は、前後用紙の一時固定状態を解き、用紙をまったくフリーな状態にして用紙のスプロケットホールに、正確な間隔に置かれた前後2本ずつ、計4本のテーパーパーピンを差し込んで行う。

まずテーパーパーピンの先端部を、一時固定されたままの用紙のスプロケットホールに入れて、用紙が接着テーブルから離脱するのを防ぐ。この段階で先行用紙の乗っているコンベアベルトをわずかに逆転して用紙に余裕を持たせるとともに、用紙を一時固定している真空圧を抜く。用紙が十分フリーな状態になるのを待って、テーパーパーピンをさらに深く差し入れて用紙を突き合わせる。このとき、他の4か所のスプロケットホールの位置を光センサで確認している。

4.6 用紙接着機構

用紙の接続部分がプリンタのドラム、定着部等を無事通過することは絶対条件である。このため、用紙の接続精度を確保することはもとより、接着テープおよび接着方法についても配慮が必要である。

接着テープに求められる条件は、

- 1) 常温非粘着性であること……接着動作は早くてもプリンタで1箱分を消費するごとに行われるため相当時間間隔が開く。また、長時間装置を使用しないこともあり、テープの接着面は長い時間空気中に放置される可能性がある。この間に接着能力に劣化があってはならない。
- 2) 熱伸縮、剝離しないこと……レーザープリンタは印字した文字や図形を熱によって定着している。用紙の接続部分がプリンタの定着部を通過するとき、剝離したり伸縮してはならない。
- 3) 透明であること
- 4) 中央にミシン目が入ること

等である。

以上の条件から、接着テープにテフロンベースのラミネートテープを採用した。また、接着をテープの全長で行うと接続部分にシワができたり、用紙に反りが出る危険がある。本装置では約9 mm幅の接着面を、約20 mmの間隔に取って接着するように設計した。このため、テープの繰り出しと接着ヒータのスタンピング動作および接着位置移動を同期して行っている。しかも、用紙のサイズによって接着開始位置を変える必要があり、またどのサイズの用紙の場合でも用紙の両端に接着するようにしている。

4.7 制御システム(ハードウェア)

図7は給紙装置の制御システムの構造を示す。基本的には一般のシーケンス制御自動制御機器の形式をとっている。

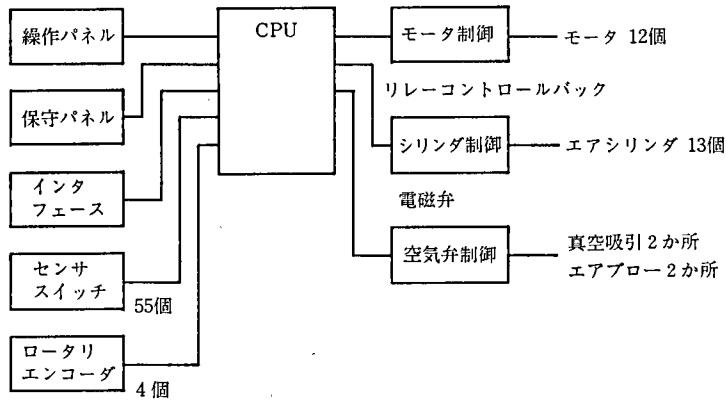


図 7 制御システム

Fig.7 Hardware system

4.8 その他

- 1) プリンタの動作に制限を加えないため、給紙装置の動作はプリンタとはまったく非同期で行っている。給紙装置の動作制御のためには、プリンタとの間で信号の授受は行っていない。実際には4本の信号線でインタフェースを取っているが、これらの給紙の操作パネルからプリンタのスタート/ストップを行う操作の利便性のものと、後処理装置の制御とプリンタのスタートをブロックするためのものである。
- 2) 本装置では59個のセンサ/マイクロスイッチおよびロータリエンコーダを配して、用紙および各機構の動きを監視している。動作等に異常があった場合は、その状況を判断して可能なものについては動作を再試行する。また、自己修復不可能な場合は異常状態をコードで表示し、オペレータあるいは保守員による修復の便を計っている。

5. おわりに

本稿で紹介した給紙装置は昭和62年10月に第一号機を客先設置以来、現在10台稼働中である。

プリンタの稼働効率向上のためには、給紙装置とともにプリントアウト後の用紙の処理、いわゆる後処理装置も重要である。標準的には用紙裁断機をオンラインで接続して、プリンタと同期させてプリンタアウトプットを即時裁断している。このほかに再び折りたたむこと等の要求もあり、現在対応中である。

今後は完全無人化運動を目指し、用紙補給の省力化が課題として残っている。

なお、本装置の開発に当たり東京電力(株)のご協力と日本ユニシス・サプライ(株)、(株)三協精機製作所他、多くの方々のご協力を得たことに改めて感謝の意を表す。

執筆者紹介 河原浩司 (koji Kawahara)

昭和10年生、29年都立大学附属工業高校卒業。吉沢会計機を経て、33年日本ユニシス(株)入社。主としてカスタマサービス、マシン整備等に従事。58年より、ハードウェア開発を担当。現在マイクロプロダクト本部ハードウェア開発三部に所属。



追記形光ディスクの互換性評価

Interchangeability Test of the Write-once Optical Disk Cartridge

大石 完一

要約 互換性を目的とした130mm追記形光ディスクの標準化がようやく国際的に合意し、ISO規格としての文書化を残すのみとなった。これに伴い、市場には早くもISO規格準拠をうたう製品が相次いで出荷されだしたが、1社の駆動装置に対しては1種の媒体しか保証されていないのが実情である。互換性がないと、経済的にも、万一の時のセカンドソースがない等ユーザにとって不利益を被るし、産業界にとっても大きく発展する上での阻害要因となる。

通産省工業技術院の委託を受けて、光ディスク標準化に関する調査研究を目的に設立されている「光ディスク標準化委員会」において、昨年度、互換性確認に関するラウンドロビンテストを行った。

測定結果、光学的信号特性、クロストーク、S/N等の特性にバラツキが目立った。このデータを分析検討した結果、反射率測定法および測定器のレーザスポット品質に起因した測定互換の問題であることが判明した。これらは、反射率基準媒体の設定、測定レンズの標準化を行うことによって、解決できることを見出した。

Abstract Round-robin testing was carried out last year to clarify specific problems of interchangeability, based on the ISO/IEC DIS 9171 specification for optical disk cartridge of 130 mm write-once by the JIS Optical Disk Standardization Committee WG 4. Some of the physical parameter measurements showed a large distribution mainly dependent on the measuring techniques.

1. はじめに

レーザービデオディスク、そしてコンパクトディスクと華々しい成功を収めた光ディスクを情報処理分野での情報記憶媒体に応用する試みが数年の年月を経て、ようやく日の目を見る段階に達した。光ディスクは、直径130mmのフロッピディスクと同じ大きさに300倍の600MBの情報が収容できる現存する記録媒体中、最も記憶密度の高い媒体である。ほこり・温度・湿度・磁界・振動等の外部環境に対する耐性も大きく、数10年のデータ保存寿命がある等、魅力ある小型、大容量の可換形外部記憶媒体である^[1]。

こうした良いことづくめの情報交換媒体も互換性確保のための標準化となると、数種のテクノロジーが絡み合っ技術的にむずかしく、ようやく技術面で国際的に合意され、国際規格(ISO)としての文書化を残すのみとなった。これに伴い、市場にはISO規格準拠をうたう製品が相次いで出荷され出した。光ディスクの互換性を規定する性能規格は、在来の磁気テープ等の磁気媒体で広く用いられている標準媒体との相对比较法と異なり、互換性に必要な条件となる物理的・光学的な互換パラメータの絶対値と、その許容公差により規定している(絶対値法という)^[4]。

規格の作成に当たっては、光ディスクのデータ互換性に結び付く互換パラメータの

種類とその絶対値・許容値について、十分に検討した上で決められているが、実証されていない。とくに現在、ISO 準拠をうたって販売されている光ディスクでさえも、1社の駆動装置に対し特定な1種類の媒体のみを指定しており、セカンドソースが確保されていないのが実情である^[3]。これは、一例として光ディスクの基盤についてみても、規格では、厚さと屈折率の関係式、光学的な副屈折率について規定しているだけであり、この仕様を満足する物であれば、ポリカーボネート樹脂・エポキシ樹脂・ガラス等使用する材料は規定していない。現状で、各装置メーカーが特定の1種類の媒体のみを指定しているのは各種媒体について十分なテストができていないための過度的処置と推察する。しかしユーザにとっては、経済的にも、万一の時のセカンドソースがない等、不利益を被るし、光産業にとっても大きな発展の阻害となる。そのために、ユーザ・媒体メーカー等からの互換性確認テストの要望が強くなってきている^[4]。

通商産業省工業技術院の委託を受けて、光ディスク標準化に関する調査研究を目的に設立されている「光ディスク標準化委員会」に筆者から互換性検討に関する作業部会の設立を提案し、昨年度、筆者が主査となって、130 mm 追記形光ディスクの互換性に関する確認試験(Round-robin test)を実施した。本稿は、そのテスト結果の概要およびテストデータの分析を通して、互換性の問題点を解析し、解決策について考察したものである。

2. 試験方法

2.1 ラウンドロビンテスト

互換性確認テストとして、ラウンドロビンテスト手法が広く用いられている^{[5][6]}ことから、この手法によってテスト、および評価を行うことにした。

互換性の良否は、使用する媒体の特性、媒体を読み書きする装置の特性、使用する測定器の特性、測定者および測定環境に左右される性質がある。

ラウンドロビンテストは、一つの媒体を互換性があると思われる数種の装置(以下、互換路線にある装置という)または測定器間を持ち回り、決められた測定項目を各々測定し、それぞれのバラツキ状態から互換性を評価する方法である。そのために、数種ある媒体をこのように数種の装置や測定器で測定することによって、媒体、装置または測定器相互間の互換性に関する問題点の発見も容易となる。

今回のテストは、測定媒体が追記形という性質から1種の媒体を複数の測定者間に持ち回って測定する方法をとると、本来の測定主旨以外の要因で結果を大きく狂わす可能性が考えられたので、同一種類の媒体を測定者の数分用意し、並列に測定した。この場合、同種の媒体間の特性差による各測定結果の影響を防ぐために、あらかじめ媒体ごとに媒体提供者による測定データを取り付け、事後補正できるようにした。

2.2 サンプル数および表示方法

今回の互換性確認テストは、ISO/DIS 9171^[2]の互換路線にあるものに限って、媒体の提供および測定者を業界に募り、表1の企業の参画を得て実施した。

測定に際しては、媒体の提供企業名および測定者がわからないように、媒体の種類ごとにA~J、測定者ごとに1~9の記号を付け種別した。以下、測定結果はすべてこの記号を用いる。

表1 ラウンドロビンの参画企業数
Table 1 Attendance for round robin measurements

ラウンドロビンの参画の種類	参画企業数
媒体の提供	10*
互換パラメータの測定 (ISO/DIS 9171 に基づく測定)	5
光ディスク装置による互換測定	4

* 各社測定者の数の媒体提供を受けた。したがって、各社9枚、合計90枚。

2.3 測定項目と測定基準

今回の互換性確認試験では、ISO/DIS 9171の規定による物理的・光学的互換パラメータ^[2]の測定再現性の評価と、これらの規定によってデータ互換性が保たれることの確認評価を目的とした。

2.3.1 互換パラメータの測定

ISO/DIS 9171の規定は、大別して次の3項目によって構成される^[2]。

- 1) 媒体の形状・寸法および機械的特性
- 2) 媒体の物理・光学的特性
- 3) 記録様式

このうち、1)および3)項については、比較的単純な寸法的測定で、すでに測定方法等が確立している測定技術、あるいは記録様式のような約束事の規定であり、今さら疑問を挟むまでもない項目である。

2)項の媒体の物理・光学的特性については、媒体の持つ物理的特性と実際のデータ記録再生に関する変換特性であり、互換性上、重要な確認項目となる。その上、レーザ等の新しい分野の測定となる。

互換性を確認するための評価項目は、基本的にはISO/DIS 9171に規定されている全項目^[2]となるが、測定の再現性を評価することが主目的となること、測定者の負担を軽減することから、誰がどこで測定しても同じ結果が得られるような項目は除外し、2)項に重点を置き評価することにし、表2および図1に示す測定項目を選定した。

2.3.2 光ディスク装置による互換性測定

装置によるデータ互換性評価は、異機種相互間でのデータ記録・再生を行う必要がある。しかし、提供された装置および媒体は、ISOで規定している媒体の性質ごとに

表2 互換パラメータの測定項目と規定
Table 2 Parameters and specifications for physical interchangeability test

測定項目	定義	仕様
ベースライン反射率	I_0	27%~90%
プリレコード部特性 (再生信号特性)		
・反射率信号	I_{top}/I_0	≥ 0.7
・セクタマーク変調度	I_{sm}/I_0	≥ 0.5
・VFO信号変調度	I_{vfo}/I_0	≥ 0.25
・プッシュプル信号	$(I_1 - I_2)/I_0$	0.4~0.65
・トラック横断信号	$(I_1 - I_2)/I_0$	0.3~0.6
信号対雑音レベル比特性*	$f = 3.7 \text{ MHz}$, 回転周波数=30 Hz	$\geq 45 \text{ dB}$
クロストーク特性*	$f = 3.7 \text{ MHz}$, における前後トラック	$\leq -26 \text{ dB}$

* 媒体メーカー記録/メーカー指定条件で記録。その2種類のデータを測定。

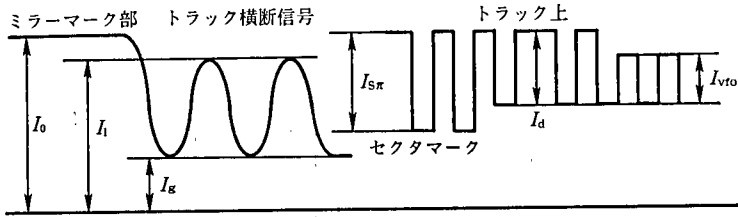


図 1 再生信号特性のパラメータ

Fig. 1 Illustration of signals for read characteristics

表 3 光ディスク装置による互換性定項目と規定方法
Table 3 Parameters and specifications for media with drives

評価項目	測定
カートリッジが挿入できるか	Yes/No
ディスクが回転するか	Yes/No
トラック位置決めとフォーカスロックができるか	Yes/No
コントロールトラックのPEPが読めるか	Yes/No
ヘッド部が読めるか	Yes/No
データ領域のデータ読み取りエラー率の測定	
・装置固有記録条件で記録再生したとき	100トラック
・媒体メーカ指定記録条件で記録再生したとき	100トラック

装置特性を制御できるように媒体に設けたコントロールトラックへの対応が十分に採られていない現状を勘案して、媒体の機械的装着性、記録データおよび記録・再生データのビット読み取りエラー率の測定に止めた。光ディスク装置による互換性測定項目は、表3の通りである。

3. 互換パラメータの測定結果と評価

3.1 ベースライン反射率

ベースライン反射率(I_0)は、記録膜の光学的特性の原点となり、表2でもわかるように、光ディスクのすべての信号特性の分母を形成している。それゆえに、この精度は光ディスクの互換性上重要な意味を持つ。

ベースライン反射率の測定結果は媒体種別で見ると、図2(a)のようになった。

ベースライン反射率はマクロ的に見ると、媒体G, H, Iの3種類を除いて、似たような特性を示している。媒体G~Iのうち、GおよびHの2種類については記録膜が相変化方式のもので、他の8種の無機化合物金属の穴開け方式と性質が異なっているために生じた特性差と推察する。媒体Iについては、無機化合物金属の穴開け方式にもかかわらず、他と掛け離れた特性を示しており、何らかの問題のある媒体といえよう。

しかし、提供された媒体は図の点線の反射率を示すはずであり、媒体メーカを含め、測定上の問題があるように思える(点線は、媒体提供メーカの測定値)。そこで、測定結果を測定者別に見てみると、図2(b)のように、同種の媒体でも測定者によって大きな差のあることがわかった。たとえば、測定者2と3では、同じ媒体を測定しても結果に、絶対値で15%前後の差が生じている。また、測定者2と5のように、媒体の種類によっては測定者間での差が大きく出ているようである。

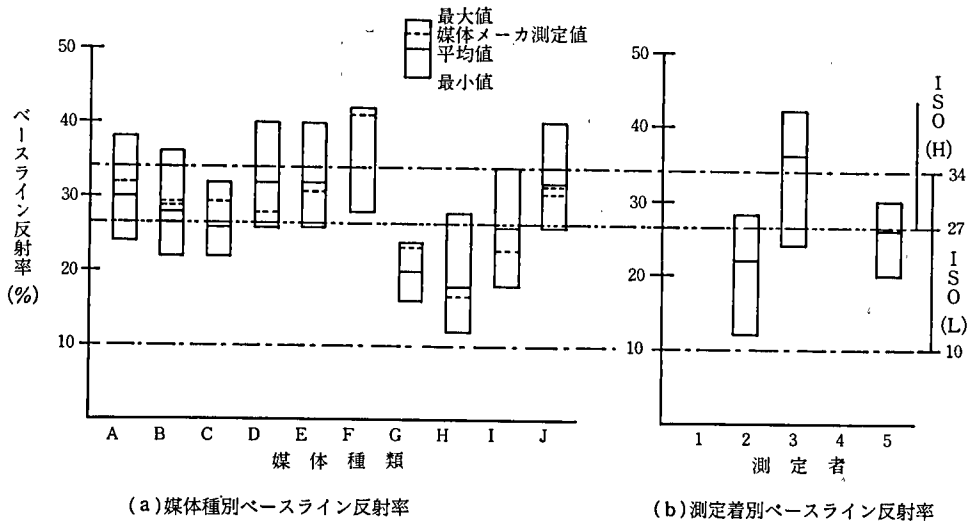


図 2 ベースライン反射率の測定結果
Fig. 2 Baseline reflectivity

この原因は、測定器ごとの反射率の絶対値が各々異なっているために生じていると思われる。一般に、反射率の測定は、各社ごとに定められている基準反射率板によって校正後に行われているはずである。この場合、測定値に大きな差が生じる可能性として、次のことが考えられる。

- ① 各社の基準反射板の反射率の絶対値が互いに異なっている。
- ② 基準反射板の反射率が経時変化した。
- ③ 校正の方法が間違っている(とくに、零点調整)。
- ④ 測定器の反射率が直線特性でないため二点間調整では正しい値を示せない。
- ⑤ 被測定物(媒体)の基盤表面反射率の影響が出ている。

そこで、これらのバラツキが生じたと思われる要因を確かめるために、次の方策を施し、再度同一の測定を試みた。

- ① 基盤表面反射の要素を取り除いた二点の基準反射板(50%および10%)を用意。
- ② ①を用いて、各社の測定器を事前に50%および10%に校正した上で測定。

この結果、図3に示すように、各測定者ともに、通常の測定誤差と見なせる10%以内に収まった(媒体A, D, I, Jについては、提供媒体自体のバラツキが大きかったものと思われる)。

反射率測定がばらつく原因は、詳細には各社ごとに異なる原因があると思われるが、大局的には、経時変化のない被測定物の反射率に近い二点の基準反射率板を用意して、事前に測定器を校正することによって解決できることが明らかとなった。基準反射率板の作成、頒布等の体制作りが今後の課題となる。

3.2 クロストーク

クロストークは、 n トラックに記録した信号が、隣接する $n+1$ および $n-1$ トラックに漏洩する信号強度を測定した。この場合、本来隣接する両トラックのクロストーク量は同じ値を示すはずであるが、測定結果では、図4に示すように、測定者によ

て、同一特性の媒体を測定したにもかかわらず、 $n+1$ トラックが $n-1$ トラックより極端に大きいケースと、逆に $n+1$ トラックの方が極端に小さいケース等が見られた。

これらは、測定系のレーザスポットが真円であるべきところ楕円になっているために、中心から $n+1$ トラック側にずれているスポットであれば $n+1$ トラックのクロストークが大きくなり、逆であれば $n-1$ トラックのクロストークが大きくなっているものと推測する。

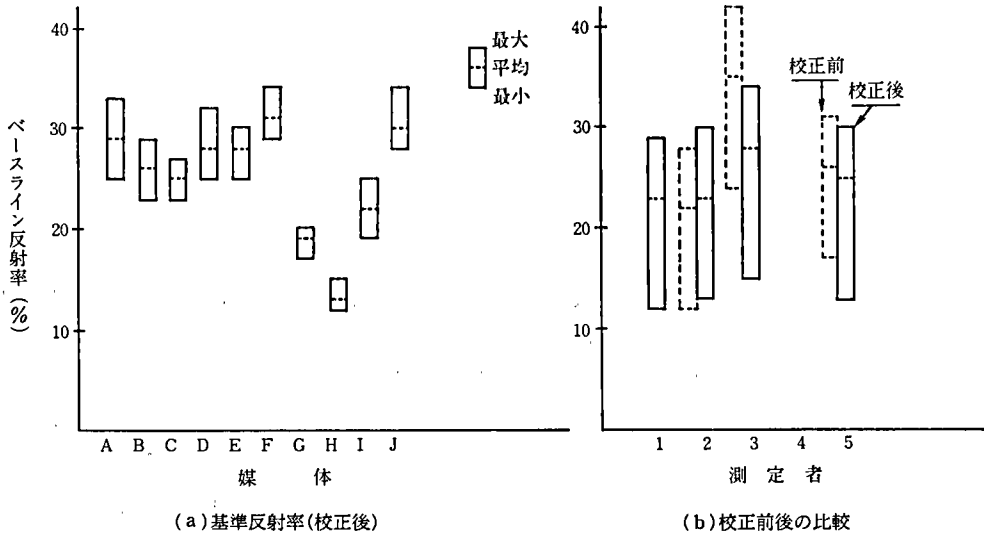


図 3 基準反射板を用いて測定器を校正後に測定したベースライン反射率
Fig. 3 Baseline reflectance after caribration using the reference media

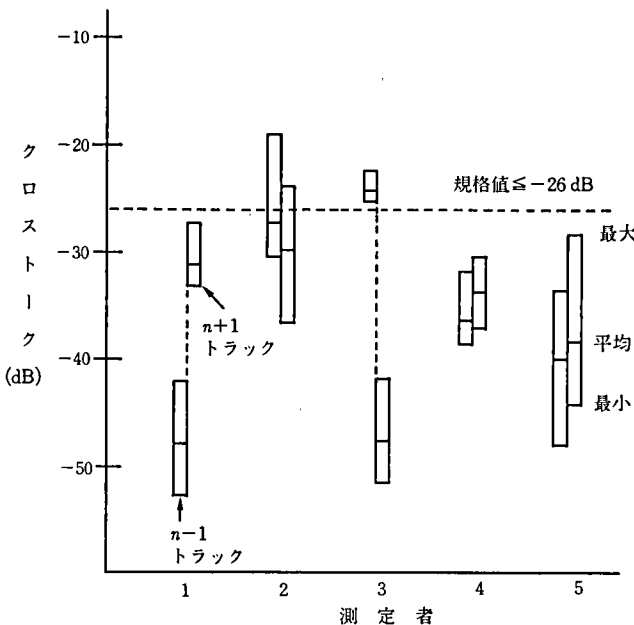


図 4 クロストークの測定結果
Fig. 4 Crosstalk

レーザスポット形状は、使用しているレンズのフレアやディスク面に対するチルトに関係する。測定器であるので使用するレンズについては、十分に配慮する必要があるが、現状では、どうも配慮に欠けた測定器が存在しているように思われる。レンズ単体での状態については、スポット形状測定器が市販されているので確認可能であるが、最終的には測定器に組み込まれている状態でチルト等を含めた動的に記録膜上に結ばれるスポット形状を確認する必要がある。ユーザ(媒体メーカー等)での確認は困難である。測定器の経時変化を含めた信頼性の問題となり、測定器メーカーの啓蒙を期待するところである。

3.3 信号対雑音レベル比(S/N)

データ記録・再生時の信号レベルは、記録データの互換性を規定する上で大切な要素となる。この規定条件としては、1800 rpm で回転するディスクにデータの最大記録密度と等価である 3.7 MHz (± 0.1 MHz) の単一周波信号を記録・再生して、30 kHz の分解能帯域を持ったスペクトラムアナライザで測定した時の信号対雑音レベル比で規定している^[2]。媒体提供メーカーで記録した信号を測定者が再生した時の S/N は、図 5 (a) で示すように、規格下限値である 45 dB を満足しており、測定バラツキも大小はあるものの、かなり互換性がとれているといえよう。

しかし、媒体提供メーカーの記録条件によって、測定者が記録・再生した時の S/N は、図 5 (b) のように、半数の媒体に大きなバラツキが現れた。一方、約半数の媒体は、媒体提供メーカーで記録した信号を測定した時とほぼ同じ値を示している。

記録・再生時にバラツキが大きくなる原因は、媒体メーカーの指定条件で信号を記録

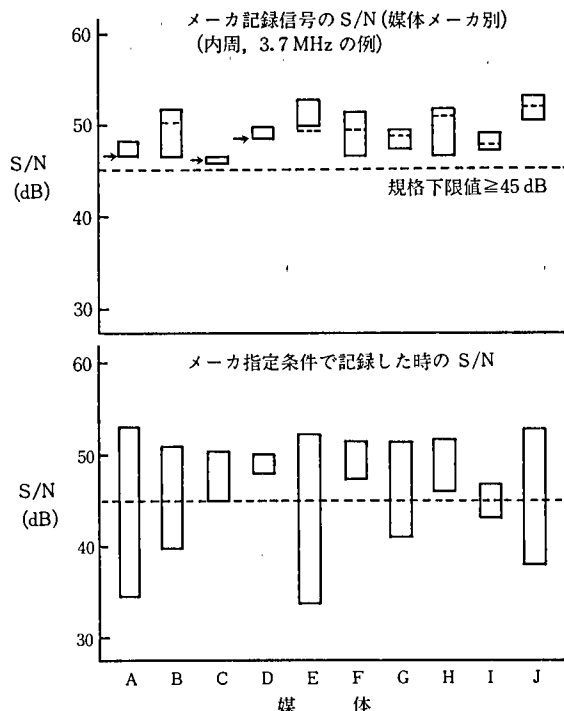


図 5 S/N の測定結果

Fig. 5 S/N ratio for different media samples

したつもりでも、記録パワーの不足、過剰が生じ完全な記録ができなかったからであると考えられる。記録パワー密度は、レーザのスポット径や形状の違い、レーザパワーの測定誤差や測定方法の違い等によってバラツキが生じる^[7]。そのため媒体によっては、実際の指定条件と異なった記録パワー密度となって、パワーの過不足が生じたものと思われる。

媒体によってバラツキの大小が生じた理由としては、測定者の測定器と媒体メーカーの測定器の記録パワー密度の真値が近い場合は互換性よく記録・再生できるが、真値が掛け離れている場合には過不足が生じやすくなるものと思う。また、広い幅の記録パワー密度を持った記録マージンの広い媒体は、多くの測定器と互換性がとりやすくなっていると考えられる(媒体 D, F, H)。

記録パワーは、パワー密度が同じであれば、記録膜に結ぶレーザスポット径の2乗に比例する^[8]。レーザ光は、無収差の対物レンズによって絞り込まれる。そのスポット径($2W_0$)は、次式によって決まる。

$$2W_0 = k\lambda/NA$$

ここで、 λ :光源の波長=825 nm

NA: レンズの回折の限度を決める開口数。規格では NA=0.53,

NA= $n \sin a$ で表される。

n : 屈折率

a : 最大傾斜を持つ光線と光軸のなす角度

k : 定数、半径方向強度が中心の $1/e^2$ になる点で $k=0.82$ ただし、レンズけられ係数が1の場合の値となる。

レンズの「けられ係数」は一般に 0.5~1 といわれている^[9]。したがって、レンズ開口数、波長が同じでも、使用するレンズの「けられ係数」が1と0.5のレンズとでは、実際の記録パワーは15%も変わってしまい問題となる。現在の規格では、波長、NAは規定されているが、「けられ係数」は規定されていない。また、NAの精度も規定されていない。少なくとも測定器間の互換性をとるためには、測定条件として、これらを追加規定することが必要であると考えられる。

3.4 プリレコード部の信号特性

プリレコード部の信号特性は、すべての測定項目の分母にベースライン反射率が掛かっていることから、測定結果にはその影響と考えられるバラツキが生じている。ほとんどの項目は、ベースライン反射率の測定互換性がとれれば、解決すると思われる。しかし、VFO信号変調度については、図6のように、ディスク内周において測定者によって規格値を満足しているもの(測定者2, 4)がある反面、規格値を大幅に割り込んでいるケースも目立つ(測定者1, 3, 5)。もともとVFO変調度は、内周にいくほど小さくなる性質があるが、最内周に対する最外周のVFO信号変調度比が0.5以下となる場合は、測定器のスポット径の過大が原因といわれている^[10]。

測定者3の測定値が低い原因は、このケースに当たり、測定比が0.39と他の0.5台に比べ低く、測定器の改善が望まれる。測定者1, 5のケースについては、むしろこの値が真値を示していると考えられる。すなわち、VFO信号変調度は、表2に示したようにベースライン反射率に対するVFO信号比で表され、ベースライン反射率が高いほど

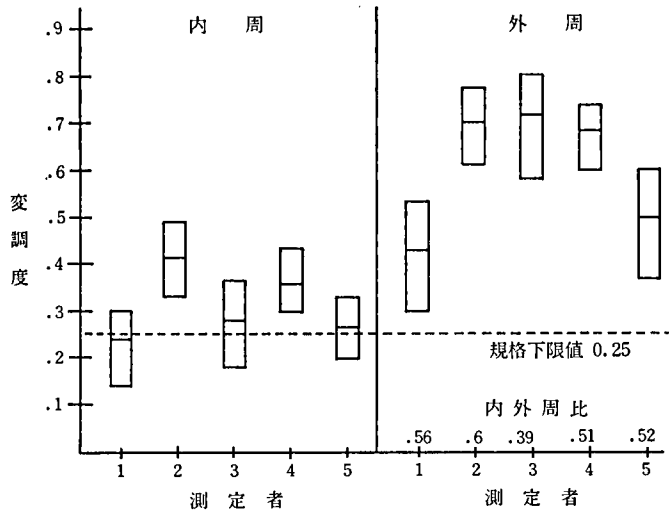


図 6 VFO 信号変調度の測定結果(測定者別)

Fig. 6 VFO signals

VFO 信号変調度は低い値となる。

ベースライン反射率については、3.1 節で述べたように、測定者 2 の測定値が低過ぎ、測定器校正後の測定値が測定者 5 と一致したことから判断されよう。したがって、VFO 信号変調度特性については、媒体自体の値が全体的に低いと判断される。媒体の改善が望まれる事項である。

4. 光ディスク装置による測定結果と評価

ISO 規格では、光ディスク媒体の機械的、物理的特性、すなわち互換パラメータを規定することによって、異なる光ディスク装置間でのデータ互換性を保つことができるという考えに基づいている。互換パラメータに関しては、前章で述べたように測定器および測定法の標準化を計れば、ほぼ規格を満たせることが明らかとなった。これら互換パラメータの規定によって、実際のデータ互換性を保つことができるのかについての測定を試みた。

4.1 装置への媒体装着性の測定

ユーザが媒体を手にとって装置に入れ、データ記録・再生可能な状態に設定するまでの互換性測定を表 3 に基づいて行った。結果は表 4 に示す通りである。

第一段階の媒体の装置への挿入は、全媒体、全装置の組み合わせで可能であった。

第二段階のディスク回転に関しては、媒体 G と装置 9 との組み合わせを除いて、すべて可能であった。

第三段階の光ヘッドのフォーカシング、トラッキングの可否については、2 媒体、2 装置の組み合わせで不可能なものがあった。この 2 種の媒体は、いずれも相変化形の媒体である。

第四段階のコントロールトラック部の制御信号である位相変調部 (PEP) の読み取りの可否、および第五段階のヘッダ部の読み取りの可否については、いずれも相変化

表 4 装置への媒体装着性の測定結果

Table 4 Result of interchangeability test for media with drives

項目 媒体	ドライブ No. 6					ドライブ No. 7					ドライブ No. 8					ドライブ No. 9					
	カートリッジ挿入	ディスク回転	AF, TR ロック	PEP 読み取り	ヘッド 読み取り	カートリッジ挿入	ディスク回転	AF, TR ロック	PEP 読み取り	ヘッド 読み取り	カートリッジ挿入	ディスク回転	AF, TR ロック	PEP 読み取り	ヘッド 読み取り	カートリッジ挿入	ディスク回転	AF, TR ロック	PEP 読み取り	ヘッド 読み取り	
A	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
B	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
C	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
D	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
E	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
F	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
G	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
H	○	○	○	○	○	○	○	×	×	×	○	○	○	○	○	○	○	×	○	×	○
I	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
J	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

○：可能 ×：不可能 -：機能なし

形の 2 媒体が 2 装置の組み合わせで読み取り不能であった。その他の媒体(すべて無機化合物の穴開け方式)は、すべての装置との組み合わせにおいて、読み取り可能であった。

媒体および装置の機械的寸法については、現状で互換性があることがわかった。しかし、信号の読み取りの光学特性に関係すると思われる項目については、装置の種類によって相変化形媒体のみに、読み取り不可能な項目があった。

そこで、互換パラメータの中で、とくにフォーカシングに関係するベースライン反射率との相関を調べてみると、図 2 の平均値を見た図 7 のように、二つの相変化形媒

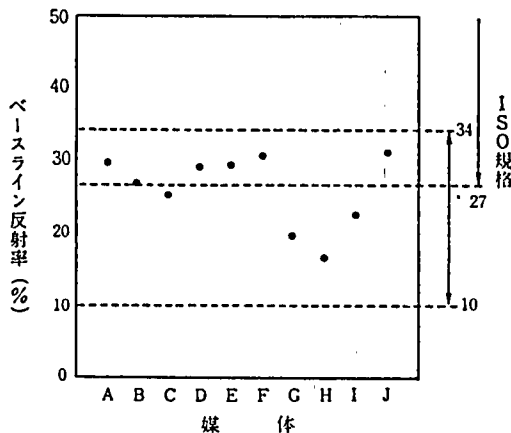


図 7 ベースライン反射率

Fig. 7 Result of baseline reflectivity

体 G, H のベースライン反射率は 20% 未満であり, 媒体 I を除くと, 他の無機化合物金属の穴開け形とは, はっきりと反射率に差があることがわかった. ISO 規格によれば, ベースライン反射率は 10~34% と 27~90% の二つのグループに分けられている. 媒体のベースライン反射率の情報は, コントロールトラックの PEP 部に書き込まれていて, PEP 信号を読み取ることによって, 装置は反射率レベルを知ることができる. ただし, この情報を用いて装置をすべての媒体に対応可能とするか否かは, 装置メーカーの判断に委ねられている. 今回用いた装置の半数は, そのような対応をしていないものとする.

4.2 データ領域のデータ読み取りエラー率の測定

装置ごとにデータを記録・再生した時に生じた読み取りエラー率(バイトエラー率)の測定を行った. データを記録するための記録パワーやパルス幅等の記録条件について, 装置固有の値と媒体メーカーが指定した値の 2 種類で記録した時の比較を試みた. 装置固有の記録条件の測定は, 3 装置(装置 6, 7, 9)によって, 相変化形媒体を除いた 8 媒体について行った*.

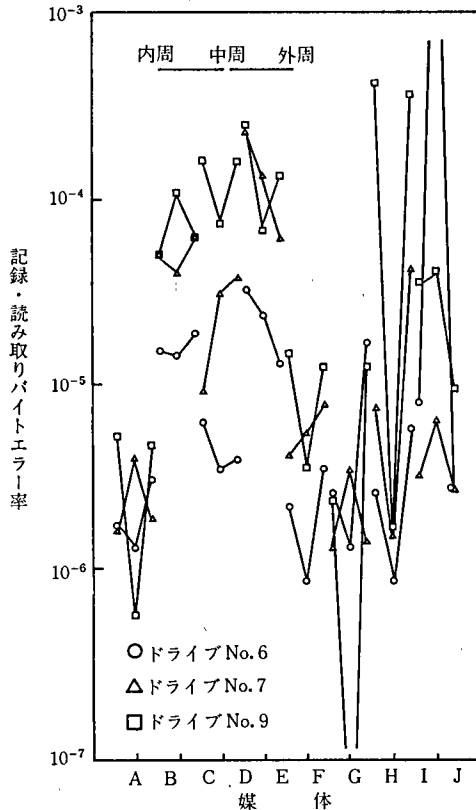


図 8 装置固有条件で記録した時のデータ読み取りエラー率の測定結果

Fig. 8 Read error rate of interchangeability test for media with drives

* 装置 8 は, 指定したデータの記録ができず, 他との比較に適さなかったため除外した. 測定に供した 3 装置ともに装置固有の記録条件では, 相変化形媒体の記録に対応できないことから無機化合物金属の穴開け形媒体のみの測定となった.

結果は、図8のように、エラー率のバラツキの大きい装置と媒体の組み合わせがあった。これは、測定セクタ数が100トラックと少なく、かつ測定部が最外周、最内周等、比較的欠陥の多い箇所が含まれていたことに影響されているものと思われる。一見すると、エラー率の装置依存性もあるように思われるが、各装置ごとに同一ロットであっても別の媒体を測定していることを考慮すると、断定することもむずかしい。測定結果から、エラー率は、各結果共に3か所測定のうち、少なくとも1か所は 10^{-7} ~ 10^{-4} の間に分布していることがわかる。全組み合わせに対する平均エラー率は、 3.3×10^{-5} であった。

媒体メーカーが指定した記録条件に合わせての測定は、2装置しか対応できなかった(装置7, 9)。このうち、1装置は相変化形媒体の測定もできた。この場合では、穴開け形と相変化形との差は認められなかった。記録条件を、記録電流パルス幅、パワー共に媒体メーカー条件に合わせて測定したにもかかわらず、エラー率は大半の組み合わせにおいて、装置固有条件での測定値と大差なかった。

装置固有記録条件と媒体メーカー記録最適記録条件とは、図9に示すように差があり、記録されたピット径の大きさは、当然異なっているはずであるが、エラー率と記録条件との相関は認められなかった。測定できた装置の数が少ないために断定はできないが、エラーはこの程度の記録条件の差には影響せず、むしろ媒体の欠陥、あるいは付着塵埃による影響が大きいと推定される。

前にも述べたように、今回のエラー率測定は、初めての試みであったために、測定領域が製造時に欠陥の生じやすい箇所であり、測定トラック数が少ないこと等欠陥の分布の影響を大きく受け、目的とするエラー率を必ずしも表していないと思われる節等、問題点もある。しかし装置固有記録条件下でも、このような測定域にもかかわらず、全組み合わせ平均エラー率が光ディスクのエラー訂正のきく限界である 10^{-4} 以上あったことは、光ディスクの装置互換性に希望がもてると言えよう。

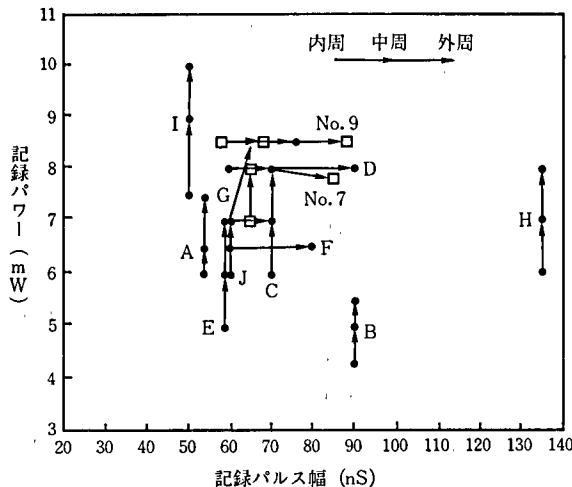


図9 測定に用いた各種記録条件

Fig.9 Condition of write parameters on drives

5. 考 察

130 mm 追記形光ディスクの互換性については、媒体自身の互換性を論じる前に、測定技術の互換性の確立が最重要課題であることが判明した。前述したように、光ディスクの互換性規格は、互換パラメータの絶対値を規定しているもので、そのベースラインが測定者ごとに異なったのでは、各々同じ物を作ったつもりでも、メーカーごとに異なった特性の媒体が出現することになる。今回の評価で判明した測定技術に関する問題点は、大きく分けると次の二点にあると考える。

- 1) 記録膜の反射率測定時の測定器校正法
- 2) 光学特性測定時のレーザーパワーに関する測定技術および条件の確立

反射率測定に関しては、前述したように統一した基準反射率媒体を頒布すれば、解決することが判った。公的機関より経時的に変化しない基準反射媒体の供給体制を早急に確立する必要がある、関係機関に働きかけを行っている。

レーザーパワーに関しては、測定系のレンズの開口数および、けられ係数の公差を厳密に規定すると共に、測定系の記録膜に結ばれるレーザースポット径、形状、パワー等が測定者で簡単に確認できる手法の確立が必要であり、検討中である。また、レーザースポットの確認方法については、顕微鏡によってレーザー集光状態を測定する方法をラウンドロビテスト参加の互換パラメータ測定者によって、10月末を目途に試行中である。これらの結果を検討の上で、誰が測定しても測定互換がとれるような対策を追加規定することの提案を予定している。

光ディスクのISO規格の柱である互換パラメータと、実使用上の互換性を表している実際の光ディスク装置におけるデータエラー率との関係は、測定領域および測定トラック数等、試験法の問題もあり、明確にならなかった。測定できた装置が1台であったので、たまたまデータエラーに対するマージンが広がったのか、互換パラメータの規定に対してデータエラーのマージンが本当にあるのか不明である。光ディスクのデータエラー率と物理的互換パラメータとの関連については、ビット単位でのS/Nの定義(ビットドロップ)が必要と考えられる。すなわち現状の規格では、あるエリアのS/Nの定義となっているが、実際的には、ビット単位の欠陥状況がわからないとデータ互換性の評価にはならないと考える。

今後の課題として、今年度引き続いて実施している130 mm書き替え形光ディスクの互換性評価のためのラウンドロビテストの結果で対処する考えである(測定法を今回の経験をもとに改善した)。

前述したように、ISO規格は規格先行方式で作られたので、やむを得ない向きもあるが、さまざまな記録形式・特性の媒体を許容し、それぞれの違いの情報をコントロールトラックのPEP部に記録して、装置が識別できるようにしている。現状では、光ディスクの過度期という事情もあり、また経済的にもすべてに対応できる装置の普及は困難と考える。一方で、ラウンドロビテストの参画企業の提供媒体や装置の種類を見てもわかるように、現実的には、無機化合物金属の穴開け方式が大勢を占めており、その限りにおいては、測定条件や測定技術の整備が計られれば、現状の互換パラメータの絶対値規定によって、光ディスクのデータ互換を含めた互換性が保たれる見通しは得られていると考える。もちろん、装置によるデータ互換性の評価は、装置相互間

での記録再生の確認等、未確認項目も多々あり、このデータのみで互換性を論じることはできないが、互換性向上を推進する足掛かりとなるデータになり得たと信じる。

6. おわりに

このプロジェクトを実施するに当たり、光ディスク標準化委員会の三橋委員長(電子技術総合研究所)のご尽力やサンプル提供の媒体メーカ、測定を担当した企業等多くのご協力があった。また、このプロジェクトに携わり、結果の集計作業等に石井泰弘(三洋電機株)、小林政信(沖電気工業株)、角田義人(株)日立製作所)、山田文明(日本アイ・ピー・エム株)の諸氏のご尽力があった。ここに、これらの方々深く謝意を表する次第である。

- 参考文献 [1] 応物学会光学懇話会編, 光ディスクシステム, 朝倉書店, 1989.
 [2] ISO/DIS 9171, 130 mm optical disk cartridge, write-once, for information interchange.
 [3] 光ディスク, 日経エレクトロニクス, No.440, 1988.
 [4] 光ディスクの標準化に関する調査研究 III, 光産業技術新興協会, 1988.
 [5] 大石, 「市販カートリッジテープの品質評価」, 1988 年度テクニカルシンポジウム, No. 8604.
 [6] ISO/JTC 1/SC 11 資料 N-940, Japanese information paper for the round robin measurements for the cartridge tape on ISO 9661.
 [7] 森, 久保, 光ディスク, 電子情報通信学会, 1988.
 [8] 光ディスクの標準化に関する調査研究 I, 光産業技術新興協会, 1986.
 [9] 中沢, 光ディスクの標準化委員会資料 No.1-1-2, 1989.
 [10] 光ディスクの標準化に関する調査研究IV, 光産業技術新興協会, 1989.
 [11] Explanatory note on 130 mm optical disk, write-once, Recording format, ISO/JTC 1/SC 23/N 183, 1988.

執筆者紹介 大石 完一(Kan-ichi Ohishi)

昭和 30 年日本大学第一工学部電気工学科卒業。33 年日本ユニシス株入社。主として周辺機器の信頼性評価に従事。また、ISO-IEC/JTC 1/SC 11 主査, 同 SC 23 委員および磁気テープ, フレキシブルディスク, 光ディスク JIS 化等の標準化専門委員会の委員長, 主査等として標準化活動に従事。現在, ハードウェアプロダクト四部主任研究員, フロッピディスクのおはなし(日本規格協会), ハードウェア入門(共立出版)等の著書がある。電子通信学会員, 情報処理学会員。



新たな脅威——間接 ESD による電子装置の EMI 作用

A New Threat——EMI Effect by Indirect ESD on Electronic Equipment

本 田 昌 實

要 約 従来は無視されていた、他律的に発生する金属物体間での静電気放電(以下 ESD と略す)であっても、昨今の電子システムとりわけ高速化したデジタルエレクトロニクスは、意外と敏感にこの現象に反応してしまう事実がある。

とくに、低電圧に帯電した金属物体がもう一つの孤立した金属物体に接触したことによる ESD は、この時生じる電磁波エネルギーの加速度成分が非常に大きくなることもあり、VLSI 化された電子機器にとって重大な脅威となり得ることがわかった。

Abstract When an electrostatic discharge phenomenon occurs heteronomously between metallic objects, a modern electronic system located at a certain distance from the discharge may respond with unexpected sensitivity to that phenomenon, even if the phenomenon is so slight as to have been ignored in the past. It has been found that electromagnetic wave energy is emitted as a result of this electrostatic discharge between metallic objects, and especially when the charged voltage is low, it has a large acceleration component and can be a serious threat to electronic equipment of VLSI structure.

1. はじめに

最新式の電子機器やデジタル化された制御装置では、それらの周囲で発生する間接(非直撃)的な ESD によって簡単に影響を受け、さまざまなトラブルを引き起こす可能性がある。場合によっては、これら機器の設計者が予想もしなかった致命的な障害(たとえば機能喪失、制御不能等)に至ることさえある。

間接 ESD とは、これら機器から少し離れたところにある帯電した金属物体と、大地から絶縁され孤立したもう一つの金属物体との間で行われる放電現象を指す^[1]。

そして、これらの金属物体は放電に際して放射アンテナとして働き、一瞬ではあるが近辺の空間に強力でしかも特殊な電磁波を放出する^[2]。この電磁波は通常のものとは異なり、非常に急峻なしかも極性(プラスまたはマイナス)を有するインパルス性の電磁界から成り立っているため、これにさらされた電子装置のデジタル回路は容易に“狂ってしまう”のである^[3]。

エレクトロニクスに対する間接 ESD の問題を討論するに当たって、三つの重要な背景を概観しておく。

最初に挙げなければならないことはエレクトロニクスの進歩、とりわけ半導体素子の高速/低電力動作化により電子システムがインパルス性雑音に非常に敏感となってきたことである。

次の問題は、機器収容ケースやキャビネットのプラスチック化である。導電性塗料やコーティング等による機器内部から外部への電波漏洩を主とした電磁妨害(以下

EMI と略す)対策をこれらに行ったとしても、間接 ESD 等によって発生するインパルス性の近傍電磁界に対しては、これらの材料の電磁シールド効果はほとんど期待できないのである。

最後の問題は非常に面倒でしかも複雑である。それは間接 ESD の人間による“認識”の問題である。カーペット敷きのオフィスでディスプレイ端末が冬期に時々不調になることがあった。原因究明に際し、まず最初に人体からキーボードに対する直撃的な ESD を疑った。しかし、その時オペレータの電撃の経験が無く、しかも本人が気付かない時にトラブルが発生していた。この問題の解決は長期間に及んだ。

結局、この時の原因は後述する測定器(ESD 検出器)を使用したことにより、OA 用の椅子自身から発生した間接 ESD による強力な電磁波であることがわかった。

もっと深刻な例では、しかもこれが圧倒的に多いのだが、オペレータがシステム(例：ディスプレイ端末)の不調の原因を他に求めず、自分の操作ミスやソフトウェア上のバグと感違いして再試行してしまうことである。あるいは、また関係者が間接 ESD の存在を知らないために莫大な労力と時間をかけて原因追及を行ったにもかかわらず、最終的には“原因不明”または“NTF(no trouble found)”として処理し、現場で葬り去ってしまう場合である。

間接 ESD による電子機器に現われる EMI としての症状(トラブル)の多くは、一過性でしかも間欠的であり非常に再現性が悪く、なおかつ故障部品が皆無であることも正確なトラブルの認識を妨げる一要因となっている。したがって、間接 ESD の認識は人間の感覚に頼らないで測定器によって客観的に行えば良いとの結論になる。

2. 間接 ESD の認識

2.1 ESD 検出器

電子機器周囲の稼働環境で、人が知らない間に発生する間接 ESD を捉える目的で ESD 検出器(以下検出器と略す)を開発し実用化した^{[1][4]}(写真1)(図1)。



写真1 ESD 検出器(ES-81V 型)

Photo.1 Appearance of ESD detector

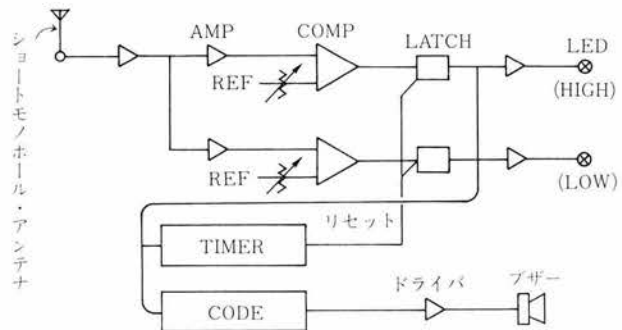


図1 ESD 検出器のブロック図

Fig.1 Block diagram of ESD detector

本器の特徴としては、

- 1) ESD に際して放出される立ち上がりのするどいインパルス性の電磁界のみを検出する。連続的に発生した電磁波はまったく感知せず、また静電界に対しても何ら反応しない。
- 2) 受信アンテナは 2.5 cm 長のショートモノポール・アンテナとした。電池駆動でポケットサイズ (W 6.1×H 9.6×D 2.3 cm) としたために小さな電子機器キャビネット内に収容が可能であり、実使用下での測定を容易とした。
- 3) 検出感度は 2 段階であり、“LOW”レベルはアンテナ入力端子にて 5 mV、“HIGH”レベルは同 120 mV とした。

微弱な ESD 検出の具体例としては、380 V に帯電した直径 1 mm、長さ 5 mm の円筒状の金属片 ($C=0.12$ pF) と、もう一つの帯電していない同一寸法の金属片が触れた時生じた単発の ESD を、ここから 10 cm のところで“LOW”として識別できる能力を有する。すなわち Pico Seconds オーダの単発パルスが容易に捕捉できる。

- 4) 表示は LED ランプとブザーであり、検出した電磁界レベルをリセットボタンが押されるまで保持することも可能である。

2.2 トラブルと検出器の反応

最近のトラブルの例として、あるオフィスのディスプレイ端末が冬期になると原因不明の不調が目立ち問題解決が長引いていた。そこで、検出器をディスプレイ用の台の上にセットしモニタしていたところ、スチールパイプ製の椅子の接触等で“LOW”が時々表示された。オペレータが端末の操作中にキーボードから手を離して OA 用の椅子から立ち上がった瞬間、検出器の“HIGH”が表示されることがあった。同時に過去何度か経験していたトラブルとまったく同じ現象が発生した。

明らかにこのトラブルは、間接 ESD によるものであることが検出器によって初めて証明された。

その現象は OA 用椅子 (姿勢/高さ調整機能付) の上部に静電気が帯電し、上下動にともない脚の中間にあるガスシリンダ部で放電が発生するのである。

3. 実験結果

3.1 放電電圧と検出器の反応

検出器が“LOW”として弁別できる電磁界強度が放電電圧 (V_0) の高低に応じて、どのくらい遠方まで及ぶのかを調べるため、ESD 試験器 ($C=150$ pF, $R=150$ Ω) を発生源に用いた実験を行った⁶⁾。

放電プローブ (CR 内蔵型) と、グラウンドリード (1 m) 先端のワニ口クリップをショートさせ 1 回の ESD を発生させる。

放電電圧 V_0 の増大と、検出器が“LOW”レベルを受信できる最大到達距離 (l) の関係を求めた。

その結果、図 2 に示す通り到達距離 l は電圧 V_0 が増大すると 7 kV あたりまでは大きくなるが、 V_0 が 10 kV を超えるとむしろ減小に転じ 15 kV における l は 2~3 kV の時と同じくらいになってしまう。

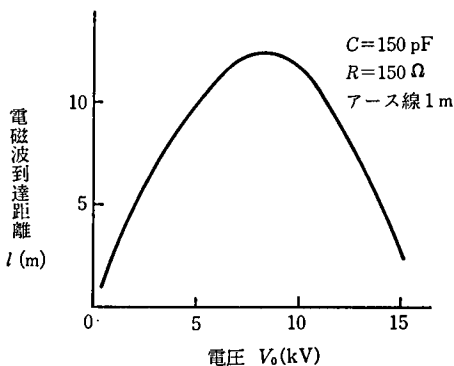


図2 電磁波到達距離と放電電圧

Fig.2 EMI range vs. discharge voltage

この検出器の反応と放電電圧の高低とは比例関係になく、この実験条件では7~9 kV の ESD が最も遠方まで電磁波を放出することがわかった。

3.2 椅子の衝突による障害の発生

帯電した椅子によるパーソナル・コンピュータに対する間接 ESD の影響を確認するため、図3のような配置にして実験を行った^[3]。

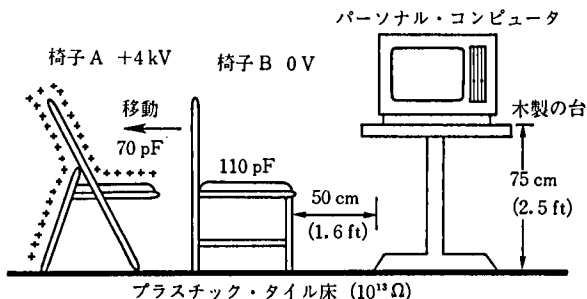


図3 間接 ESD による EMI の発生

Fig.3 Generation of EMI due to indirect ESD

この結果、+4 kV に帯電したスチールパイプ製の椅子 A ($C=70 \text{ pF}$) に対し同様の椅子 B ($C=110 \text{ pF}$) を衝突させた瞬間、ここから 50 cm 離れたところにあるパーソナル・コンピュータで障害 (フロッピディスクの“Read Parity Error”)が発生した。この時の静電エネルギー ($W_0=CV_0^2/2$) は、計算上 $560 \mu\text{J}$ である。

このパーソナル・コンピュータの直接 ESD に対する耐性(immunity)は、コンデンサ式 ESD 試験器 ($C=120 \text{ pF}$, $R=250 \Omega$) を用いたとき、8 kV で同一エラーが発生しており、この時の静電エネルギー W_0 は $3840 \mu\text{J}$ である。

3.3 放電電圧と電流上昇時間^[5]

図4に示す実験回路にて、放電電圧 (V_0) と放電電流の上昇時間 (t_r) の関係を帯域幅 1.0 GHz のオシロスコープ (TEK 7104) を用いて調べた^[3]。

その結果、図5に示すように V_0 が高くなると t_r も増大することがわかった。

使用したオシロスコープ自身の立ち上がり時間が 0.4 nsec であるため、 V_0 が低電

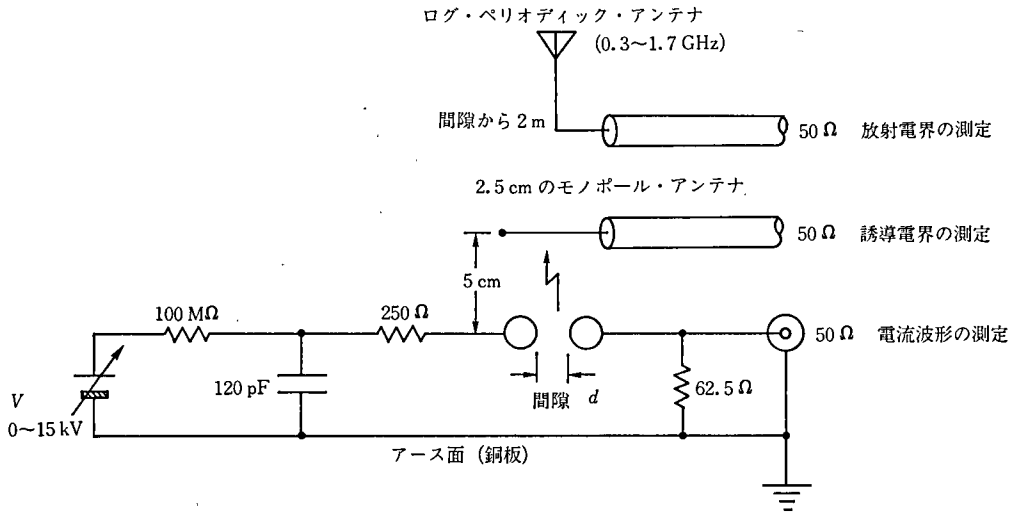


図4 ESD 実験回路
Fig. 4 ESD experiment circuit

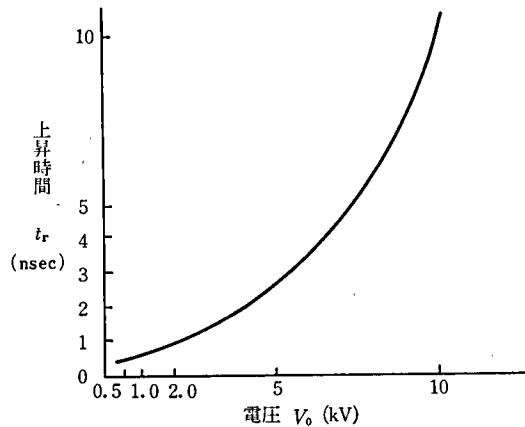


図5 電流上昇時間と放電電圧の関係
Fig. 5 Current rise time vs. discharge voltage

圧で測定された値が 0.4 nsec に近い場合、実際の値はもっとずっと小さいと考えられる。

3.4 放電電圧とアンテナ誘起電圧^[5]

先と同じ実験回路において、放電電極から 5 cm の所に配置した長さ 2.5 cm のモノポール・アンテナ（検出器で使用しているものと同じもの）に、誘起した高周波電圧を先と同じ帯域幅のオシロスコープ(TEK 7104)で測定した。

その結果、図 6 に示すように V_0 が高まるにつれアンテナ誘起電圧 (V_{ind}) は、むしろ低下していくことがわかった。

3.5 銅キャビネット内の電磁波強度

帯電した金属物体の有する静電エネルギーの大小と、空間を介した機器内部に侵入する電磁界強度を求める実験を行った^[3]。

間接 ESD 源として図 7 に示す放電治具を構成した。銅パイプ (C=9.0 pF) A を V_0 に荷電した後、2.5 cm 自由落下させ銅パイプ B (C=9.0 pF) に 70 cm/sec の速度で衝突させ 1 回の放電を発生させる。

この放電治具から 50 cm 離れた所の木製台 (高さ 70 cm) の上に、開口部 (8×28 cm)

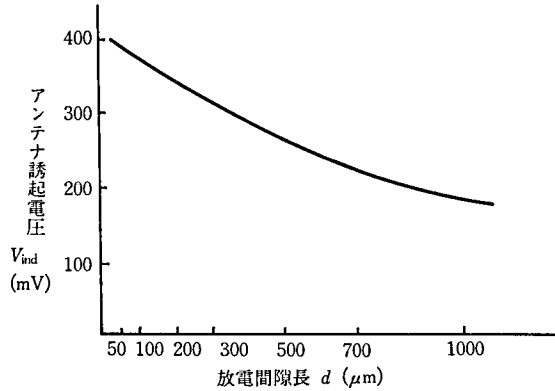


図 6 放電間隙付近のアンテナ誘起電圧

Fig. 6 Antenna induced voltage in the vicinity of the spark gap

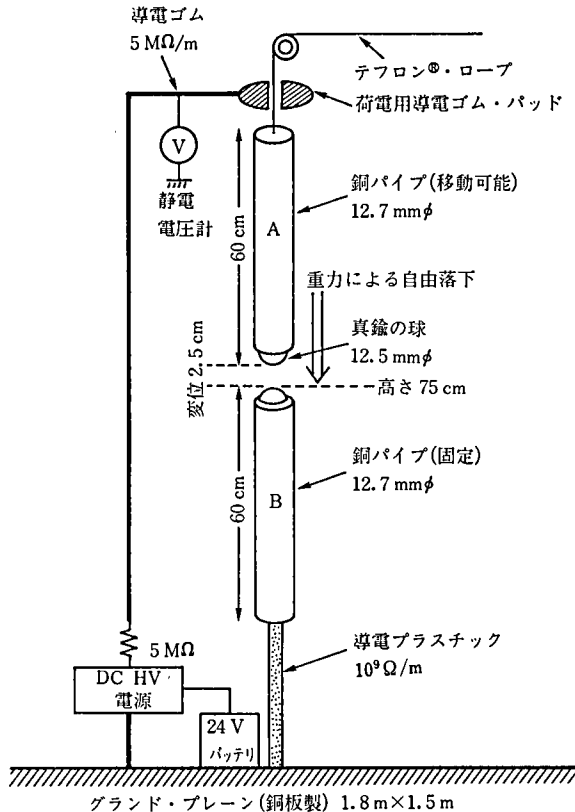
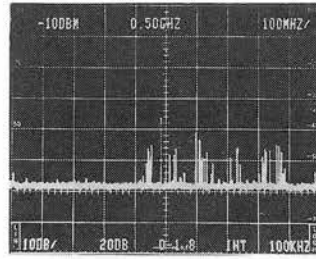


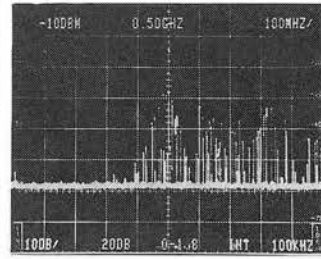
図 7 グラウンド・リターンなしの ESD 発生源

Fig. 7 ESD generation source without ground return

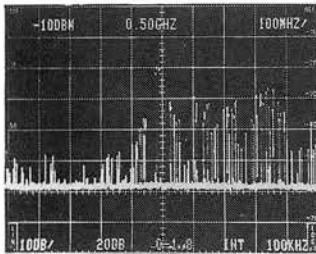
①～⑪は
いずれも中心周波数 0.50 GHz,
100 MHz/DIV,
REFLEVEL -10 dBm,
10 dBm/DIVである。



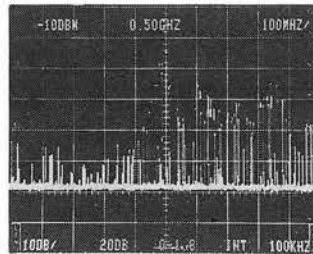
① $V_0=2\text{kV}$ $W_e=18 \times 10^{-6}\text{J}$



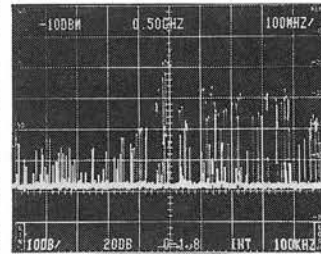
② $V_0=4\text{kV}$ $W_e=72 \times 10^{-6}\text{J}$



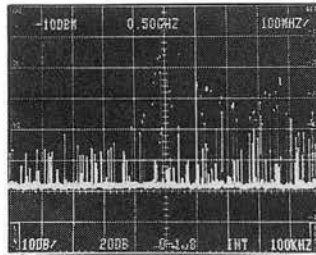
③ $V_0=7\text{kV}$ $W_e=220.5 \times 10^{-6}\text{J}$



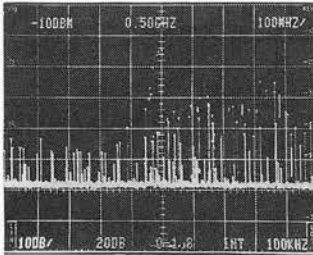
④ $V_0=8\text{kV}$ $W_e=288 \times 10^{-6}\text{J}$



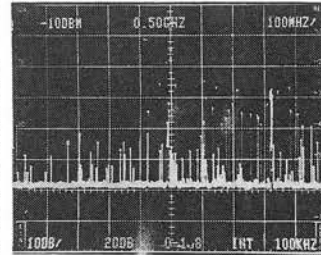
⑤ $V_0=9\text{kV}$ $W_e=364.5 \times 10^{-6}\text{J}$



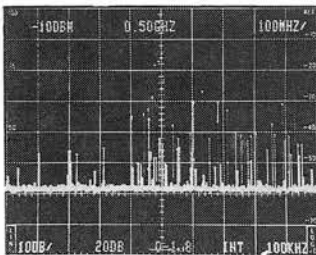
⑥ $V_0=11\text{kV}$ $W_e=544.5 \times 10^{-6}\text{J}$



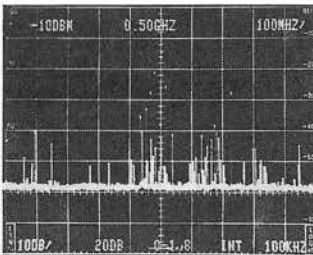
⑦ $V_0=12\text{kV}$ $W_e=648 \times 10^{-6}\text{J}$



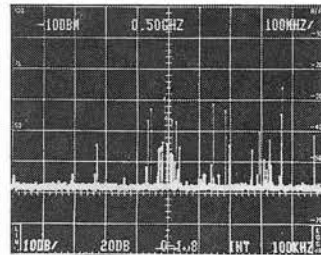
⑧ $V_0=13\text{kV}$ $W_e=760.5 \times 10^{-6}\text{J}$



⑨ $V_0=15\text{kV}$ $W_e=1.0125 \times 10^{-3}\text{J}$



⑩ $V_0=17\text{kV}$ $W_e=1.3005 \times 10^{-3}\text{J}$



⑪ $V_0=19\text{kV}$ $W_e=1.6245 \times 10^{-3}\text{J}$

写真2 V_0 とキャビネット内電磁スペクトラムの関係

Photo. 2 Intracabinet electromagnetic wave spectrum versus discharge voltage V_0

を有する銅製キャビネット(W 30×H 42×D 85 cm)を置き、編組線(幅 2 cm)でグランドプレーン(1.8 m×1.5 m 銅板)に接続した。

広帯域モノポール・アンテナ(長さ 10 cm)を銅製キャビネット内の中央部天井にセットし、離れた所にあるスペクトラム・アナライザ(TEK 494 P)に二重シールドのマイクロ波用の同軸ケーブル(RG-142 B)で接続した(図 8)。

その結果、写真 2 に示すごとく放電電圧 V_0 と内部に侵入した電磁波スペクトラム強度、分布幅は共に比例しない。図 9 に示すごとく、この実験条件においては V_0 と侵入した電磁波の威力 F (dBm×100 MHz) は 10 kV あたりで最大となり、さらに V_0 が上昇すれば F は低下の傾向を示す。

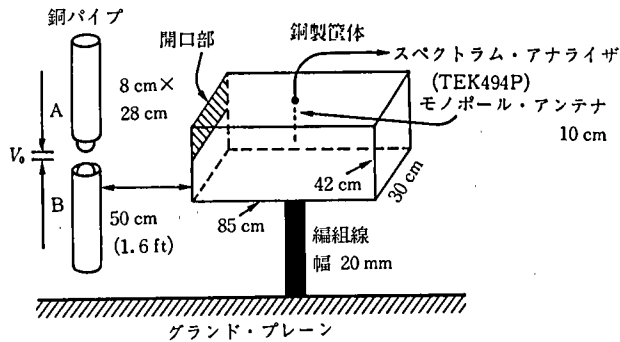


図 8 キャビネット内のスペクトル分布

Fig. 8 Electromagnetic field distribution inside a cabinet

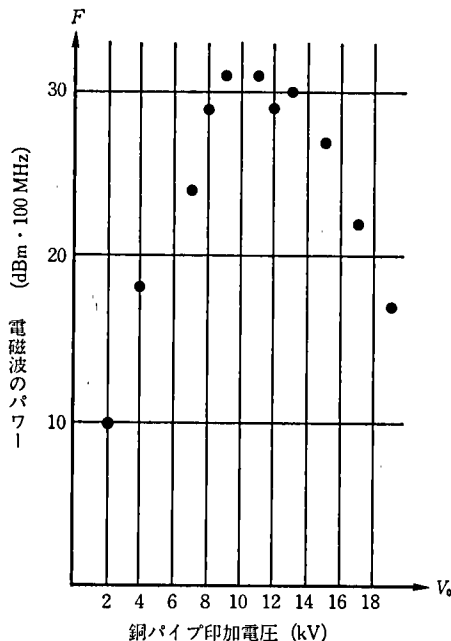


図 9 帯電電圧と電磁波の威力

Fig. 9 Electromagnetic power vs. charged voltage

4. 検 討

4.1 静電エネルギーと検出器の反応

静電エネルギー W_0 の増大と、検出器の反応とは対応しない。図 2 においても明らかな通り、検出器が識別できる電磁界強度はこの条件下では 7~9 kV で最大となる。

高電圧の放電になるに従い、検出器の感受特性が低下する事実は雷撃が近辺の建物にあった際、検出器がまったく反応しなかったことから裏付けられる。またその際、検出器の近くにあった稼働中のコンピュータは、まったく問題が生じなかったことも意味があると考えられる。

4.2 静電エネルギーと電子機器の反応

フロッピー・ディスクを内蔵したパーソナル・コンピュータの間接 ESD による反応は、より明確に静電エネルギーの大小と EMI 作用が対応しないことを示している。

このコンピュータの収容ケース表面で直撃的に行われた ESD では、3840 μJ (@ $V_0 = 8 \text{ kV}$) の静電エネルギーでエラーが発生したのに対し、椅子の衝突による間接 ESD では 560 μJ (@ $V_0 = 4 \text{ kV}$) で同一エラーが発生するのである。

距離が 50 cm も離れていて、しかも直接 ESD の 1/6 以下の静電エネルギーであっても、同等の威力を発揮していることに注目する必要がある。

4.3 静電エネルギーと放射された電磁エネルギー

放電電圧 V_0 が高くなると、①放電電流の上昇時間が余計にかかる、②放電部近傍に置かれた長さ 2.5 cm のモノポール・アンテナの高周波誘起電圧は低下する、という実験事実および、先の二つの検討結果 (W_0 と検出器の反応、 W_0 と電子機器の反応) から次のことがいえる。

- 1) 間接 ESD によって発生した電磁(波)エネルギー W_e は、金属物体が蓄えていた放電寸前の静電エネルギー W_0 が増加すればするほど、減少すると判断せざるを得ない。

この理由の一つは、エネルギーの変換損失はいつも熱エネルギーに帰着すること(エントロピーの増大)を考慮すれば容易に導かれる^[6]。

- 2) 物体に蓄えられていた静電エネルギー (W_0) は、放電を介することにより種々の形態のエネルギーに変化することが知られている。それらは熱エネルギー (W_h)、光エネルギー (W_l)、音響エネルギー (W_s)、イオン化エネルギー (W_i) そして EMI 作用をもたらす電磁エネルギー (W_e) であり、エネルギー保存の法則から次式が成立する。

$$W_0 = W_h + W_l + W_s + W_i + W_e \quad [\text{J}]$$

- 3) 元となる静電エネルギーから他エネルギーへの変換に際しては、各々の形態のエネルギーに対して変換効率 η が存在するはずであり、たとえば熱エネルギーへの変換効率 η_h は W_0 が 100 μJ ~2000 μJ の範囲で 95 % 以上という W. Roth らの報告^[7]もある。

したがって、高電圧の放電になればなるほど熱エネルギーへの変換効率 η_h が高まり、その分だけ電磁エネルギーへの変換効率 η_e は低下すると考えられる^[6]。

4.4 電磁エネルギーの加速度成分

放電電圧 V_0 と検出器の反応は、ある一定の電圧まで比例している。この傾向は、電子機器における V_0 と EMI の発生の関係においても同様である。放電電流の上昇時間

(t_r) は電圧と共に増大すること、ピーク電流値は電圧に比例せず頭打ちの傾向を示すこと^[5]から、放電電流の時間当たりの変化率 di/dt は電圧の増大に反して低下すると考えられる。

したがって、間接 ESD によるインパルス性の電磁波による電子機器への EMI 作用を、この放電電圧 V_0 と電流変化率 di/dt の積として表せば、従来得られた実験データに対し十分に説明がつく。

すなわち、

$$ARP = V_0 \times \frac{di}{dt} \quad [\text{W/sec}] \text{ または } [\text{J/sec}^2]$$

である。

ここで、

$$1\text{W} = \frac{1\text{J}}{\text{sec}} \quad (1\text{J} = 1\text{V} \times 1\text{A} \times 1\text{sec})$$

である。

ARP は Amplitude-Rate of change of current Product である。そしてこの数値の大小が検出器の反応を左右しているものと考えられる^[5]。

間接 ESD によって発生したインパルス性電磁波に含まれるスペクトラム領域は、十分に GHz 帯にまで及んでいる(写真3)。そのため EMI 作用は、受信アンテナの面積の大小が効いてくる。

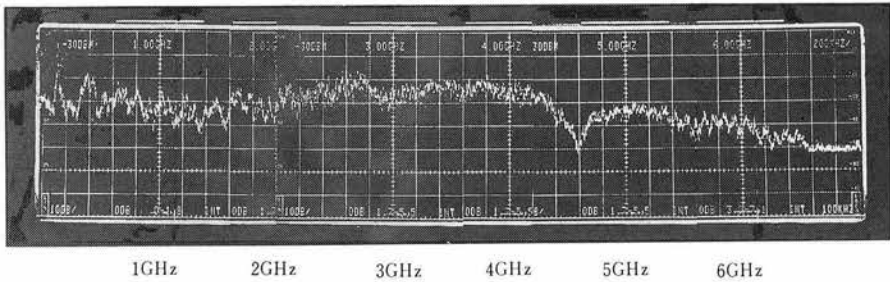


写真3 間接 ESD によって発生する連続スペクトラム

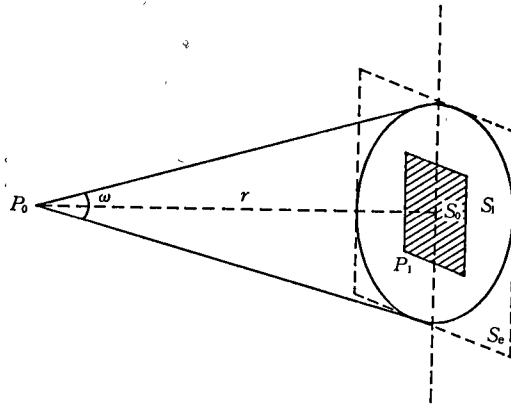
Photo.3 Electromagnetic spectrum due to indirect ESD

現実の電子機器は数多くの信号ケーブルが接続されるため、これが単体で孤立して存在している時に比較して有効作用(感受)断面積 S_e は非常に大きくなっている。

この有効作用(感受)断面積 S_e と、電子機器キャビネット寸法からくる投影断面積 S_0 との比 S_e/S_0 は、約 12 となるデータが別の実験から得られている^[1]。

さらに低電圧に帯電した金属物体での放電は、このスパーク間隙が数 μ なしい数 $100 \mu\text{m}$ しかなく、放電点を見込む周囲の幾何学的形状によっては波源での高周波電力 P_0 が一様に放出されず、特定方向にのみビーム状となって放射されることが考えられる(図10)。

図10において、 ω は ESD 発生側の事情により決定される立体角である。 S_1 は、 P_0 によって距離 r だけ離れた場所で照射された面積 ($S_1 = \omega r^2$) であり、この場所の電力



S_e : 有効作用断面積 [m²] P_0 : 発生源の電力 [W]
 S_0 : 機器断面積 [m²] P_1 : 面積 S_1 における照射電力密度 [W/m²]
 S_1 : ESD 照射面積 [m²] ω : 立体角 [str] r : 距離 [m]

図 10. 間接 ESD によって照射される面積

Fig. 10 ESD power irradiated area

密度 P_1 は

$$P_1 = \frac{P_0}{S_1} \quad [\text{W/m}^2]$$

と示される。

当然のことながら照射面積 S_1 と S_0 が等しければ、最も EMI の起きる確率が高まる。

したがって、ARP 値をより具体的にするため、実効(Working)ARP を次のごとく定義する。

$$\text{WARP} = V \times \frac{di}{dt} \times A \quad [\text{W/sec/m}^2] \text{ または } [\text{J/sec}^2/\text{m}^2]$$

ここに A は有効断面係数である。

$$A = S_e/S_0/\text{m}^2$$

一方、図 9 において銅製キャビネット内に侵入した電磁波の強さ F は、電力密度 dBm(0dBm=1mW@50 Ω) と電磁波のスペクトラム分布幅 100 MHz ($100 \times 10^6/\text{sec}$) の積であるから、これはやはり W/sec/m² の単位を有することになり、結果的にこの実験も WARP 数値を測定したことに他ならない。

さらにポインティングベクトル $P = E \times H$ (E : ESD によって生じた電界, H : ESD によって生じた磁界) とするならば WARP 数値の単位としての W/sec/m² は、このポインティングベクトル P の瞬間的な変化 (dP/dt) にも対応している。この単位の一致は間接 ESD によって生じたインパルス電磁界の急変“field decay”, または“field collapse”が EMI 作用を引き起こすと考えても良いことを示唆している。

そしてまた WARP の単位は [J/sec²/m²] とも示すことができるから、この数値の物理的な意味合は間接 ESD によって生じた電磁エネルギーの単位面積当たりの加速度成分の大小と解釈できる。

すなわち、電子機器に対する EMI 作用は電磁エネルギーの総量ではなく、空間を流動する電磁エネルギーの加速度成分に依存すると考えざるを得ない。

現実のコンピュータ機器における間接 ESD の EMI 作用は、その一般的傾向として高電圧の放電よりも相対的に低電圧での放電の方が威力があることを数多く経験しており、このことは WARP の概念とも良く一致している (図 11)。

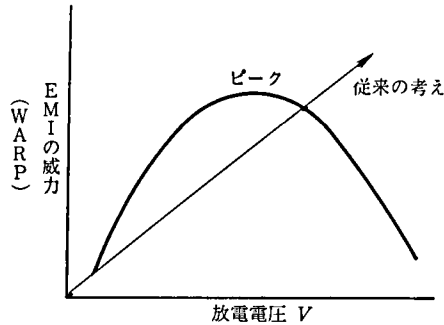


図 11 放電電圧と WARP (EMI の威力)

Fig. 11 Impulsive EMI strength

5. おわりに

以上述べてきたことを集約すると次のことが言えよう。

- 1) 電子機器から離れた所で他律的に発生する間接 ESD の存在と、その脅威に注目しなければならない。この脅威は今後ますます増大するはずである。
- 2) 間接 ESD を認識する最良の技術的な手段は、【ESD 検出器】をその現場で使用するることである。
- 3) 間接 ESD の電子機器に対する脅威 (EMI 作用) は、電磁エネルギーの加速度 (WARP 値) に比例する。そして、金属物体が相対的に低電圧に帯電している時の方が強い威力 (妨害作用) を発揮する。

- 参考文献
- [1] 本田昌實・川村雄克, “ESD の特徴と計算機に対する影響 (その 1)” 電子通信学会技術研究報告 (環境電磁工学), EMCJ 83-75 Vol. 83, No. 209, 1983, pp. 25~30.
 - [2] 本田昌實・小倉義美 “ESD の特徴と計算機に対する影響 (その 3)”, 電子通信学会技術研究報告 (環境電磁工学), EMCJ 85-38, Vol. 85, No. 86, 1985, pp. 39~42.
 - [3] M. Honda, Y. Ogura, “Electrostatic Spark Discharges—Three Factors are Critical”, The Proceedings of 7th Annual EOS/ESD Symposium, Sep. 1985, pp. 149~154.
〔日本語訳: “静電気スパーク放電による電磁妨害作用の考察”, 技報, 日本ユニバック (株), No. 13 1987, pp. 3~12〕
 - [4] M. Honda [Transient Electromagnetic Field Detector] US Pat No. 4, 631, 473 Dec. 23, 1986 (日本ユニシス・社有特許).
 - [5] M. Honda, T. Kawamura, “EMI Characteristics of ESD in a Small Air Gap”, The Proceedings of 6th Annual EOS/ESD Symposium, Oct. 1984, pp. 124~130.
〔日本語訳: “狭間隙状態における静電気放電の電磁妨害特性—ARP が EMI を決定する”, 技報, 日本ユニバック (株), No. 9, 1985, pp. 32~43〕
 - [6] M. Honda, Y. Nakamura, “Energy Dissipation in Electrostatic Spark Discharge and Its Distance Effects”, The proceedings of 9th Annual EOS/ESD Symposium, Sep. 1987, pp. 96~103.

- [7] W. Roth, P. Guest, G. Elbe, B. Lewis, "Heat Generation by Electric Sparks and Rate of Heat Loss to the Spark Electrodes", *Journal of Chemical Physics*, Vol. 19, No. 12, Dec. 1951, pp. 1530~1535.

執筆者紹介 本田昌實(Masamitsu Honda)

昭和18年生, 40年北海道大学 工教 電気科卒業。同年日本ユニシス(株)入社, 大型計算機の保守に従事。その後, 稼働環境, とくに計算機に与える電磁妨害, 静電気障害対策の調査・研究に従事。現在, システムプロダクト本部 ハードウェアプロダクト一部 主任研究員(EMI/ESDコントロール担当)。

静電気研究懇談会会員, 静電気学会会員, 電子情報通信学会会員, IEEE 会員, 米国電子戦学会(AOC)会員, 米国EOS/ESD 協会会員。



VCCIの規制と妨害電波測定技術の現状と問題

The Status Quo and Problems of VCCI Regulations and Radio Interference Measurement

小山 晴 男

要 約 最近、電子技術の急速な進歩によって電波障害が発生し、社会的な問題を引き起こしている。パーソナル・コンピュータやワードプロセッサ等の情報機器は一般家庭においても使われるようになってきた。これらの情報機器は、しばしば電波を放射しラジオやテレビと干渉を起こす原因となっている。

国際電子技術委員会 (IEC) の無線障害特別委員会 (CISPR) はこの問題を検討した結果、1985年に「情報機器の妨害電波の規準と測定方法」についての勧告を CISPR Publication 22 として発行した。なお、米国連邦通信委員会 (FCC) は 1981年に、すでに規制を制定していた。

日本においては、この CISPR の勧告に従ってわが国の標準を作成したが、郵政省の要請に従って業界の4団体による「情報処理装置等電波障害自主規制協議会 (VCCI)」を発足させ、民間による自主的な規制の運用を行うこととした。

妨害電波は、複雑で測定が困難な現象であるため、同一測定条件で測定しても測定サイトが異なると、結果が異なる場合がしばしば起きる。

本稿は、VCCIの規準と測定方法を若干の輻射電波とデジタル信号のスペクトルの基本的概念をまじえて解説し、この複雑な問題に対してより理解を得ることを目的とした。妨害電波問題に取り組むためには、オープンサイトや電波暗室等の良好な測定設備が重要な役割を持っているが、当社の東京ベイ開発センタに設置した電波暗室の紹介も合わせて行うこととする。

Abstract Recent rapid development in electronics technologies has produced an evil of radio interference, causing social problems. Information processing equipment such as personal computers and word processors have now been widely accepted at home. Such equipment which often emits electronic radiation has been a cause for interference on the radio and television.

The International Special Committee on Radio Interference (CISPR) of the International Electronic Commission (IEC) discussed this problem and announced a recommendation in its CISPR Publication 22 in 1985 on 'the Limits and Method of Measurement of Radio Interference Characteristics of Information Technology Equipment.' Before that, the U. S. Federal Communications Commission (FCC) had already established the related regulatory measures in 1981.

In Japan, the CISPR recommendation helped to form Japan's own standards, but at the request of the Ministry of Posts and Telecommunications, four industry organizations—the Japan Business Machine Makers Association, the Electronic Industries Association of Japan, and Communications Industry Association of Japan—jointly set up the Voluntary Control Council for Interference by Data Processing Equipment and Electronic Office Machines to promote the public sector's self-imposed compliance with the regulations.

The phenomena of electronic radio interference are so complicated and difficult to measure that measured values often vary at different measuring sites even under the same test conditions.

This paper describes VCCI's limits and measurement together with basic concepts of electronic radio emanation and digital signal spectrum to help readers have a better understanding of this complicated problem. Good measuring facilities such as an open site and an anechoic chamber are required to find out solutions to the problems related to radio interference.

This paper also refers to an anechoic chamber installed in NUL's Tokyo Bay Development Center, newly opened in an attempt to develop high-quality products.

1. はじめに

最近 EMC という言葉をよく耳にする。EMC とは、Electro Magnetic Compatibility の略で、電気・電子機器が、自ら妨害波を発生して他の機器へ害を及ぼす EMI (Electro Magnetic Interference) 作用を起こすことなく、他の機器が放射する妨害電波に対して強い耐性 (Immunity) を付与することにより、複数の機器の同一場所における同時動作 (共存) を可能にすることをいう。EMC に関する技術分野を電磁環境工学といって、最近この講座を設ける大学が増加しており、専門分野として確立されつつある。

情報機器に代表される電子機器は、デジタル信号によって制御されるが、デジタル信号に用いる矩形波は、広いスペクトル成分を含んでおり広帯域性ノイズを発生する。電波は電磁界の時間的変化により輻射される。回路が高速化されるということは、信号の立上り立下りの時間的変化が大きくなるため輻射電界も大きくなる。情報機器に使われるデジタル回路は、加速度的に高密度・高集積化され、高速になると共に微小信号で動作する。このため、外部から侵入する妨害波に対する感受性 (Susceptibility) が強く、小さなノイズにより誤動作を起こすことになる。これらの機器から発生する妨害電波による電波障害は、時には人命にかかわる大事故を引き起こすこともあり、社会的に大きな問題になっている。

電波障害を防ぐには、強い妨害電波を発生する機器を市場に出さないようにすることである。それには、妨害電波に規制を設け、規制値を満足しない機器の販売を抑制することが必要となる。このような規制はアメリカを始め、世界各国で行政の立場から実施されている。

日本においては、国際無線障害特別委員会 (CISPR) の勧告をわが国の規格として採用することの可否および問題点が審議されたが、電子関連 4 団体 (日本電子工業振興協会、日本事務機械工業会、通信機械工業会、日本電子機械工業会) は、情報機器の電波障害を防止するため、関係業界が協力して自主的に取り組み、行政によらず自主規制を行うこととした。

これを実施するために、情報処理装置等電波障害自主規制協議会 (VCCI) を発足させ、1986年6月から運用を開始した。しかし、ただちに正規の規制値を適用することは技術的に無理があるため、最初は緩和値を適用し、漸次、正規の規制値に移行していくこととなった。平成元年12月1日からは、この暫定運用の期限が切れ、一部緩和値での継続申請が認められてはいるが、正規の規制値による運用が開始された。

本稿は、VCCI の規制の概要とその測定方法を若干の妨害電波の基本にからめて解説し、当社の開発機器の妨害電波測定のために、東京ベイ開発センタに導入した電波暗室の紹介を行う。

2. VCCIの規制と規格

VCCIの規制は、CISPR PUB 22に基づいている。CISPRにおいては、各国が独自に制定した規制が原因で、国際間の貿易が疎外されないように、国際的に共通な規格を作成しこれを各国が自国の規格として採用することを勧告した。これがCISPR勧告案16「情報技術装置妨害波の許容値および測定法」であり、これが承認されてCISPR PUB 22として発行された。

VCCIの規制は、このCISPR PUB 22とほぼ同等であるが若干異なるところがある。

以下にVCCIの規制の概要を述べる。

2.1 対象機器の分類

VCCIでは、対象とする情報技術装置の分類を「第一種情報装置」と「第二種情報装置」とに分類している。

第一種情報装置：工業、商業、および業務環境において使用される装置

第二種情報装置：住宅環境またはそれに隣接した環境において使用される装置

この定義はCISPRの定義と若干異なっているが、第一種装置はCISPRのクラスA装置に相当し、妨害源と妨害を受ける機器との設置距離が30mであるとした時の妨害波の許容値を満たすべき装置であり、第二種装置はCISPRのクラスB装置に相当し、妨害源と妨害を受ける機器との設置距離が10mであるとした時の妨害波の許容値を満たすべき装置である。CISPRでは、クラスA装置はクラスAの妨害波許容値を満足するが、クラスBの許容値は満足しない装置のことをいい、クラスB装置はクラスB妨害波許容値を満足する装置であると定義している。

CISPRの定義がこのように弾力性のある表現をしているのは、各国の行政上の立場から対応をはかることを可能とする意図を持っているからである。

わが国においては、対象となる機器が家庭用と事務用とに特定化しているケースが多く、それぞれ使用環境が大きく異なるため上記のような定義となった。

2.2 妨害波の許容値

第一種情報装置が満たすべき妨害波の許容値を表1に、第二種情報装置の満たすべき妨害波の許容値を表2に示す。ここで雑音端子電圧と、電界強度に分けてあるのは、低い周波数帯域ではノイズは電波として輻射されるよりも伝導ノイズとして、AC電源ラインを伝わって他の機器に侵入することが多いからである。

またわが国においては、長波帯の放送が存在しないため、許容値の下限周波数を526.5kHzにすべきという意見もあるが、将来ホーム・オートメーション等でこの周波数帯の利用が考えられるためCISPRと同じになっている。ただし、150kHz~526.5kHzまでは現在の努力目標とし、必ずしもこれを満足しなくても良いことになっている。

妨害電波は空間に輻射される波であり、伝搬する空間の障害物により反射・屈折・干渉等、波として持つ複雑な物理現象を引き起こす。したがって、この許容値を満足すれば絶対に問題を起こさないという保障はなく、設置された環境や配置によって共振を起こし、思わぬ強い妨害電波になることもある。

表 1 第一種情報装置⁽¹⁾

Table 1 Class 1 limits

漏洩電波の電界強度の準尖頭値は、測定距離に対応した次の値以下であること。

周波数範囲 (測定距離)	61年12月～62年11月に 初めて製造された装置			62年12月～64年11月に 初めて製造された装置			64年12月以降に製造さ れた装置		
	(30m)	(10m)	(3m)	(30m)	(10m)	(3m)	(30m)	(10m)	(3m)
30 MHz～230 MHz	40 dB	50 dB	60 dB	34 dB	44 dB	54 dB	30 dB	40 dB	50 dB
230 MHz～1,000 MHz	47 dB	57 dB	67 dB	41 dB	51 dB	61 dB	37 dB	47 dB	57 dB

- 1μV/mを0dBとする。
- 測定距離は30m, 10m, 3mのうちいずれか一つでよい。
ただし、測定距離3mの値は一稜が1m以下の装置に適用する。
- 製造日は装置の完成日とする。以下同じ。

電源端子に誘起される高周波電圧は、次の値以下であること。

周波数範囲	61年12月～62年11月に 初めて製造された装置		62年12月～64年11月に 初めて製造された装置		64年12月以降に製造さ れた装置	
	準尖頭値	平均値	準尖頭値	平均値	準尖頭値	平均値
150 kHz～500 kHz	89 dB	76 dB	83 dB	70 dB	79 dB	66 dB
500 kHz～30 MHz	83 dB	70 dB	77 dB	64 dB	73 dB	60 dB

- 1μV/mを0dBとする。
- 準尖頭値モードにおける測定値が平均値許容値を満たす場合、その測定周波数での平均値測定は行わなくてもよい。
- 150 kHz～526.5 kHzを暫定的に設計目標とする。

表 2 第二種情報装置⁽¹⁾

Table 2 Class 2 limits

漏洩電波の電界強度の準尖頭値は、測定距離に対応した次の値以下であること。

周波数範囲 (測定距離)	61年6月～62年5月に 初めて製造された装置		62年6月～63年11月に 初めて製造された装置		63年12月以降に製造さ れた装置	
	(10m)	(3m)	(10m)	(3m)	(10m)	(3m)
30 MHz～230 MHz	40 dB	50 dB	34 dB	44 dB	30 dB	40 dB
230 MHz～1,000 MHz	47 dB	57 dB	41 dB	51 dB	37 dB	47 dB

- 1μV/mを0dBとする。
- 測定距離は10m, 3mのうちいずれか一つでよい。
ただし、測定距離3mの値は一稜が1m以下の装置に適用する。

電源端子に誘起される高周波電圧は、次の値以下であること。

周波数範囲	61年6月～62年5月に 初めて製造された装置		62年6月～63年11月に 初めて製造された装置		63年12月以降に製造さ れた装置	
	準尖頭値	平均値	準尖頭値	平均値	準尖頭値	平均値
150 kHz～500 kHz	76～66 dB	66～56 dB	70～60 dB	60～50 dB	66～56 dB	56～46 dB
500 kHz～5 MHz	66 dB	56 dB	60 dB	50 dB	56 dB	46 dB
5 MHz～30 MHz	70 dB	60 dB	64 dB	54 dB	60 dB	50 dB

- 1μV/mを0dBとする。
- 150 kHz～500 kHzの許容値は、周波数を対数で許容値をdBで表した時に直線的に変化するものとする。
- 準尖頭値モードにおける測定値が平均値許容値を満たす場合、その測定周波数での平均値測定は行わなくてもよい。
- 150 kHz～526.5 kHzを暫定的に設計目標とする。

また、ケーブルコネクタのゆるみや筐体のネジ1本のゆるみによって、10 dB以上差が出ることもまれではない。このため許容値以下であっても妨害が生じた場合には、当事者間の話し合いにより妨害波を発生している装置、妨害を受けた機器、周囲環境に対して適切な対策を講じることになっている。

また、CISPRの定める許容値は量産によるバラツキを認めた上での許容値であるとしている。すなわち「生産シリーズ機器の80%が、すべての電磁放射の限度値を80%の確かさで超過しないことが統計的に証明されること」を承認の条件としている。これをCISPRの80/80ルールと呼んでおり、生産者、消費者共に20%のリスクを持っていることになる。

VCCIでは、すべてにこのような統計的手法を用いることが困難であることから型式試験においては、製造ラインから抽出した任意の1台、または量産機と同等な供試機器によって適合確認を行うこととした。ただし、市場抜き取り検査において許容値の ± 3 dBは警告ゾーンとして、測定結果がこの範囲を越えた場合は合格と認めず、CISPRと同様に統計的に80%の確かさで許容値を起えないことを証明するか、または再試験によって、規制値を下回ることを確認しなければならない。警告ゾーンを ± 3 dBとしたのは、測定サイド間の特性のバラツキが ± 3 dBはあり得るため、測定値がこの範囲にある場合は確実に許容値を満足しているとはいえないからである。

これらの規制値を厳密に守るためには、妨害波の正確な測定が可能でなければならない。しかも測定の再現性が得られなければならない。

3. 妨害波の基本

妨害波の規準を理解し、正確な測定を行うためには電波の持つ基本的な物理的特性を知る必要がある。電波は動く電荷によって発生し、光の速さで動く波である。この波は距離の1乗に逆比例して減衰し、距離の2乗に逆比例するものでないことが電波が遠くへ伝搬する理屈である。

電荷が動かない場合にできる静電場は、クーロンの法則によって距離の2乗に逆比例するため、その力は遠くへ及ぶことがない。静電場の場合は距離が3 mから30 mに10倍になると40 dBも減衰するが、電荷の運動にともなって輻射される電波は20 dB減衰するだけである。このことは測定距離に関係し、3 m法と10 m法で10 dB、10 m法と30 m法で10 dBの差があるのはこのためである。

測定が電界のみについて行われるのは、空気中の輻射電界と磁界の比は 377Ω と一定になるため電界について行えば十分だからである。

妨害波を発生する機器の近傍の電磁界は、輻射電磁界とクーロン場の静電界と誘導界を加え合わせたものとなる。電荷が調和振動をすると一定の波長を持った正弦波を発生するが、この波長の1/6倍程度が近傍界の強度とみてよい。これ以上離れると輻射電波のみとなる。

妨害電波は単一周波数の波とはかぎらず、多数の周波数成分を含んでいるが、これは妨害波を発生する情報機器がデジタル回路を用いているので、その信号として使われる矩形波が高調波成分を含むためである。

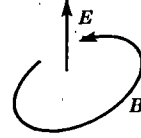
妨害波を正しく測定するためには、これらの事実を理解する必要があるため以下に

少し詳しく述べることにする。

3.1 電波の輻射

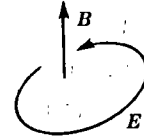
マクスウェルが従来の電気現象に新しい項を付加したことによって電磁波の存在が予言され、ヘルツの実験によってそれが実証されたことはよく知られた事実である。このマクスウェルが付加した新しい項とは(3-1)式で表現される。

$$c^2 \nabla \times \mathbf{B} = \frac{\partial \mathbf{E}}{\partial t} \tag{3-1}$$



この式の意味は、電場 E が時間的に変化すると磁場が生じるということを表している。 c^2 は光の速さの2乗で磁気は、電気の相対論的效果を意味する。一方ファラデーは、すでに磁場の変化は電場の変化を判うことを発見していた。すなわち(3-2)である。

$$\nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} \tag{3-2}$$



これら二つの式は互いにかみあっている。

すなわち、磁場 B が時間的に変化すると電場 E が発生し、電場 E が変化すると磁場 B が発生する。これらの二つの作用が結合したものが電磁波を発生させるメカニズムである。磁場が消滅しようとするときに変化する磁場が電場をつくり、電場が消滅しようとするときに変化する電場が磁場をつくる。

このように絶えずからみ合い、一つの間から他方の間へと、前後にゆれて永久に進み続け、その先端は光の速さで進行していく波であることがわかった。この波の強さは、距離に逆比例して減少し、距離の2乗に逆比例するものでないこともわかった。このため電波は遠くまで届き、電波による通信が可能となり、現在の情報化時代をもたらしたといえる。

一方この便利な物理現象は、意図しない電荷の運動にも同様に当てはまるため、予測しがたい不要電波の輻射となって問題を引き起こす原因ともなる。

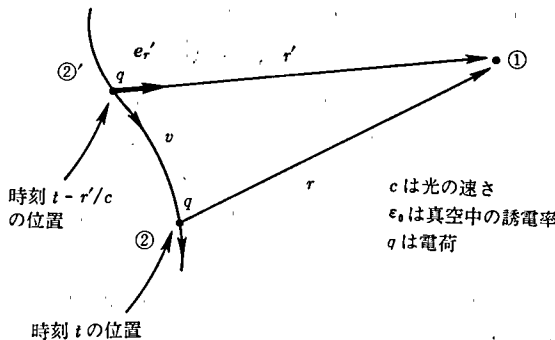


図1 運動する電荷による電場

Fig.1 Electric field by moving charge

運動する電荷に伴う電場の式は、(3-3)で表される¹³⁾。

$$E = \frac{q}{4\pi\epsilon_0} \left[\frac{e_{r'}}{r'^2} + \frac{r'}{c} \frac{d}{dt} \left(\frac{e_{r'}}{r'^2} \right) + \frac{1}{c^2} \frac{d^2}{dt^2} e_{r'} \right] \quad (3-3)$$

図1に示すように、ある場所①の電場は現在②にある電荷による電場ではなく、以前②'にあった時刻の電荷の位置と運動に関する。ベクトル $e_{r'}$ は以前の位置②'からある場所①へ引いた単位ベクトルである。この式の1項は以前の位置にあった電荷のつくる静電場である。2項は電荷が動いたための補正である。静電場の変化率に遅れ時間 (r'/c) をかけたもので、1項の静電場の遅れの効果を補償する向きにある。

第3項は単位ベクトル $e_{r'}$ の2次微分である。この項は電荷の加速度の視線に垂直な成分に比例することを示している。

すなわち、

$$E = \frac{q}{4\pi\epsilon_0 c^2 r'} \left[t - r'/c \text{ の電荷の加速度を } r' \text{ に直角に投影したもの} \right]$$

となり、磁場 B は

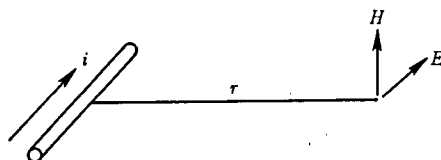
$$cB = e_{r'} \times E$$

で求められる。この項のみ距離の1乗に逆比例し、輻射の法則を表すものとなる。

3.2 近接界と遠方界

電荷が運動すると静電場のクーロンの法則は成り立たず、静電場の補正と電荷の加速度に伴う輻射項が必要となることがわかった。電波の輻射は電荷の加速度によるのであるから、回路が高速になり、信号に含まれる高周波成分が多くなるほど電波の輻射も大きくなる。電波を効率よく輻射するのが通信用アンテナであるが、通信用アンテナに限らずあらゆる導体は高周波電流が流れるとアンテナとして動作する。

デジタル回路は広帯域なスペクトルを持ち高周波成分を含むため、筐体、ケーブル、電源・グランドに高周波電流が流れると不要な妨害電波を輻射する。輻射する電波の様子を知るには、アンテナとなる導体に流れる電流によって生じる電磁界について知る必要がある。アンテナのつくる電磁界は、アンテナの形状により直線状導体(ダイポール形)と(図2)とループ状導体(図3)に分けられ、それぞれ式(3-4)~(3-7)で表される。



$$\text{電界 } E = Z_0 \frac{I_m l}{2} \left\{ \frac{\cos(\omega t - \theta)}{\lambda r} + \frac{\sin(\omega t - \theta)}{2\pi r^2} - \frac{\lambda \cos(\omega t - \theta)}{4\pi^2 r^3} \right\} \quad (3-4)$$

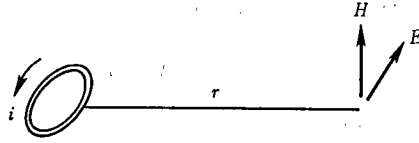
$$\text{磁界 } H = \frac{I_m l}{2} \left\{ \frac{\cos(\omega t - \theta)}{\lambda r} + \frac{\sin(\omega t - \theta)}{2\pi r^2} \right\} \quad (3-5)$$

ただし、 $Z_0 =$ 空間インピーダンス

$$\theta = 2\pi r/\lambda$$

図2 直線導体による電磁界

Fig. 2 Electro magnetic field of straight conductor



$$\text{電界 } E = Z_0 \frac{I_m l}{2} \left\{ \frac{\cos(\omega t - \theta)}{\lambda r} + \frac{\sin(\omega t - \theta)}{2\pi r^2} \right\} \quad (3-6)$$

$$\text{磁界 } H = \frac{I_m l}{2} \left\{ \frac{\cos(\omega t - \theta)}{\lambda r} + \frac{\sin(\omega t - \theta)}{2\pi r^2} - \frac{\lambda \cos(\omega t - \theta)}{4\pi^2 r^3} \right\} \quad (3-7)$$

ただし、 $Z_0 =$ 空間インピーダンス
 $\theta = 2\pi r/\lambda$

図3 小ループ電流による電磁界

Fig. 3 Electro magnetic field of loop current

これらの式は $1/r^3, 1/r^2, 1/r$ の項からなっている。

直線状導体では $1/r^3$ の項は、(3-8)で表される。

$$E = Z_0 \frac{I_m l}{2} \left(-\frac{\lambda \cos(\omega t - \theta)}{4\pi^2 r^3} \right) = \frac{1}{4\pi\epsilon_0} \frac{I_m l}{r^3} \frac{\cos(\omega t - \theta)}{\omega} \quad (3-8)$$

$$\text{ただし、 } Z_0 = \sqrt{\frac{\mu_0}{\epsilon_0}} \quad \lambda = \frac{c}{f} = \frac{2\pi}{\omega} \frac{1}{\sqrt{\epsilon_0 \mu_0}}$$

単位時間に単位面積を通過する電荷の量が電流 I である。

すなわち、 $I = \frac{dq}{dt}$ であることを考えると、時間的変化を除けばダイポールによる静電界

$$E = -\frac{ql}{4\pi\epsilon_0 r^3}$$

と同じになる。

次に $1/r^2$ の項は磁界について考えると、(3-9)で表される。

$$H = \frac{I_m l}{4\pi r^2} \sin(\omega t - \theta) \quad (3-9)$$

この式は、時間的変化を除けば、ビオサバルの法則に従う直流電流による磁界

$$H = \frac{Il}{4\pi r^2}$$

と同じになる。電界については時間的変化がなければ $V \times E = 0$ より $1/r^2$ の項はなく、時間的変化がある場合に生じる項である。

最後に $1/r$ の項は、距離の1乗に逆比例する項で前節で述べたように電波となって遠くへ輻射される項である。この項は $E = Z_0 H$ であるから電界と磁界の比は常に一定で $Z_0 = 120\pi \Omega$ (約 377Ω) であり、この Z_0 を波動インピーダンスという。

小ループ電流による電磁界は、ダイポールによる静電界の代わりに磁気ダイポールによる静磁界ができることを除いて直線導体と同じである。

直線状導体でも小ループ電流でも距離が波源から遠くなり静電界静磁界が無視できると、輻射電磁界のみとなり波動インピーダンスは一定となるが、 $r = c/\omega = \lambda/2\pi$ ($\approx \lambda/6$) すなわち $\lambda/6$ 以内では $1/r^3$ の項および $1/r^2$ の項があるため、波動インピーダン

スは一固定ならず図4に示すようになる。 $r = \lambda/6$ 以内を近接界、 r が $\lambda/6$ 以上を遠方界という。近接界では、直線状導体の場合は電界が強いために空間インピーダンスは高くなり、小ループ電流の場合は磁界が強いために空間インピーダンスは低くなる(図4は空間インピーダンスの $2\pi/\lambda \cdot r$ による変化を示している)。

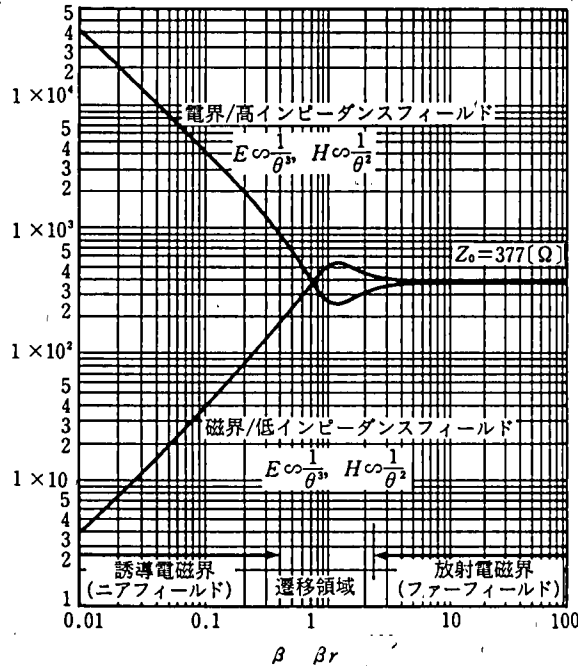


図4 波動インピーダンスと波源からの距離^[4]

Fig. 4 Characteristic impedance vs distance from wave source^[4]

3.3 デジタル回路の輻射ノイズ

マックスウェルの方程式は線形方程式である。物理現象には線形なものが多く、電気現象も線形である。デジタル回路に使われる信号波形は、ゲートの on/off による矩形形状のパルスである。

これはフーリエ級数で基本波とその無数の高調波に分解される。分解された波形は線形性が成立するため、たし合わせれば元の波形になる。このように、周波数スペ

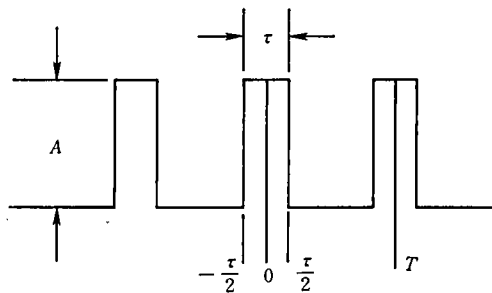


図5 デジタル回路のパルス波

Fig. 5 Pulse wave from digital circuit

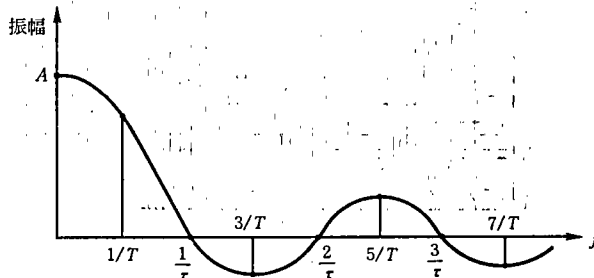
クトルに分解して解析する方法をスペクトル解析といい、妨害波もスペクトルとして扱うことになる。デジタル回路から発生する妨害波は、無数の矩形波パルスの組み合わせによって流れる高周波電流によるものである。パルス波をフーリエ級数で表すと、式(3-10)のようになる。

図5のように関数が $t=0$ に関して対称にとり、繰り返し周期 T 、パルス幅 τ 、振幅 A の矩形波パルスを考えて場合、

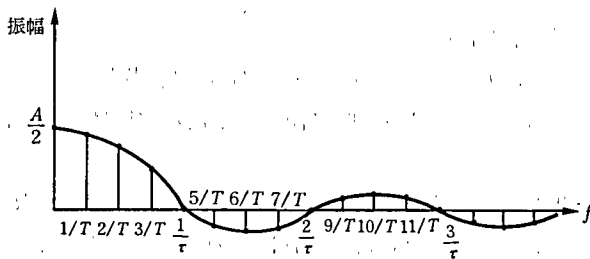
$$E(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} a_n \cos n\omega t$$

$$= \frac{A\tau}{T} + \sum_{n=1}^{\infty} \frac{2A\tau}{T} \frac{\sin(\pi n\tau/T)}{\pi n\tau/T} \cos n\omega t \tag{3-10}$$

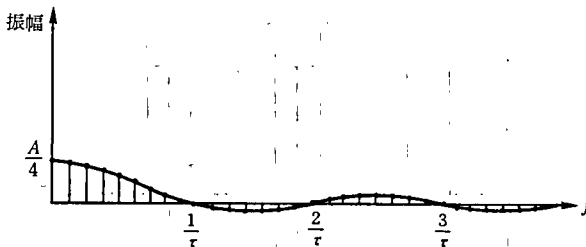
この係数 a_n は各高調波の振幅を示し $\sin x/x$ の形をしている。すなわちその包絡線は n に比例して減衰し、 $2/\tau$ を周期とする正弦波の形となる。また T/τ は半周期内に現れる線スペクトルの数を表し、パルス幅が狭く周期が長いほどスペクトルの密度は高くなり、周波数が無限大すなわち単発パルスになると連続スペクトルになる。



(a) $T=2\tau$ の場合



(b) $T=4\tau$ の場合



(c) $T=8\tau$ の場合

図6 矩形波のパルスのスペクトル

Fig.6 Spectrum of pulse wave

一方振幅の大きさは τ/T に比例するため周期が長くなるに従って小さくなる。このことは幅の狭い周期の長いパルスは、波形を形成している高調波の数をたくさん必要とし、各高調波の持つエネルギーは小さいことを示している。波形が極端に狭く、周期が無敵大と考えられる単発パルスの場合、インパルスとみなせるのでスペクトルは平坦になる。

図6は、パルス幅で周期 T が長くなるに従って振幅が小さくなり、スペクトラムの密度が大きくなる様子を示している。

このようにデジタル回路における矩形波は、無数なスペクトル成分を持つが、高域の限界は信号の周波数に依存する。通常情報機器は、JTL回路で50 MHz、ECL回路でも100~150 MHzが使用クロックの限界と考えられるため、そのスペクトルは1 GHzを越えることはまれである。そのため規制値の対象となる周波数も1 GHzまでとなっている。

矩形波は、繰り返し信号の場合はそのパルス幅と周期によって特徴づけられる線スペクトルを持っているので、そのスペクトルを分析することによって妨害波を発生する信号と発生箇所を推定できる場合がある。矩形波の各スペクトル成分は、それぞれが、線形な調和関数から成り立っていると考えられるので、そのスペクトルの持つ周波数が、筐体やケーブルの持つ固有振動数に同調するとアンテナとして動作し、大きな輻射電界となり強いスペクトルを示すことになる。したがって、強いスペクトルを示す周波数から波長を計算し共振回路となりうる導体長を推定し、アンテナとなっている部分を特定することができる場合がある。

単発パルスは、スペクトルが拡散しレベルが低くなるため妨害波となることが少ないと思われる。しかし、静電気放電に見られるよう、単発パルスによるEMI現象は解明されていない部分があり、小さいエネルギーでも誤動作につながる疑いが持たれている。

3.4 雑音の種類

電波は、機器の正常動作に必要な信号以外はすべて雑音といえる。すなわち、テレビや無線の電波もその信号を必要としない機器にとっては妨害波となりうる。このような放送波は一定の周波数の搬送波に信号をのせて送るので、その周波数は単一周波数とそこごく近くの側帯波からなっている。したがって、そのスペクトルは一本の線スペクトルとその近傍に現れる。これらの電波は、互いに干渉を起こさないように周波数が割り当てられており、混信を起こして雑音となることはない。一方デジタル機器から発生する放射雑音は、ランダムパルスの持つスペクトル成分によるため、広い帯域にわたり、とくに高速になりパルス幅が狭くなるにつれて高域に広がってくる。

放送波のように狭いスペクトル成分からなる雑音を狭帯域雑音と呼び、パルス波のように広いスペクトル成分を発生する雑音を広帯域ノイズと呼ぶ。広帯域雑音の中には、静電気放電や雷放電のように自然界から発生する雑音も含まれる。これらのスペクトラムが、渾然一体となって平均化され一定のレベルを保っている雑音を白色雑音という。これは光のスペクトラムが混ざり合うと白色光となることに由来する。

また、放送波のように、一定の周期を持ち連続的に発生する電波を Continuous Wave (CW)と呼ぶ。このような特性を持つ雑音をCW性雑音といい、狭帯域雑音に

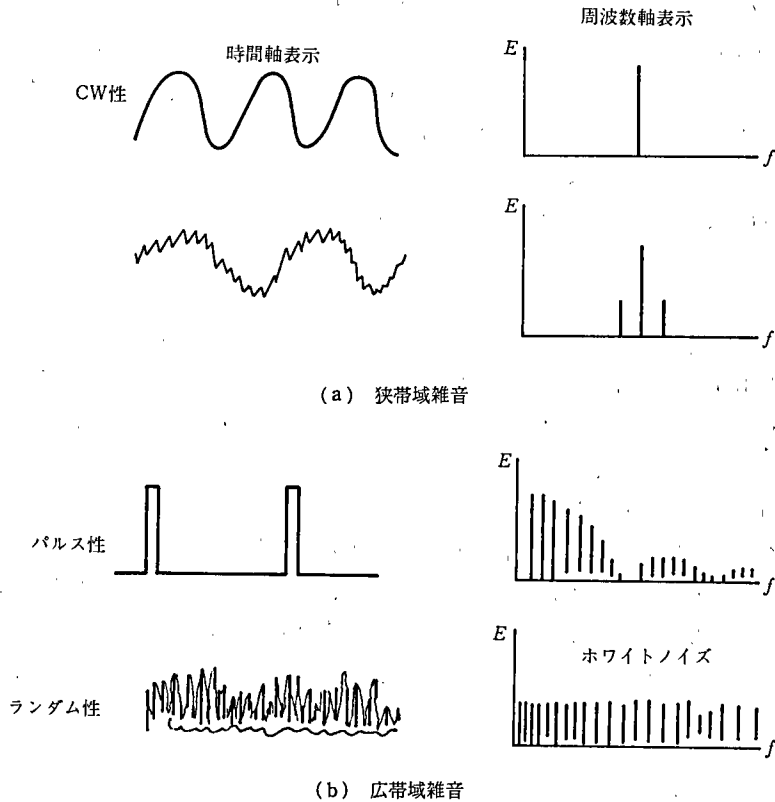


図7 雑音の種類

Fig. 7 Classification of noise

属する。デジタル回路が発生する雑音は、連続パルスから発生する場合は、繰り返し周期とパルス幅によって決まる $\sin x/x$ の形をしたスペクトル特性を持つ広帯域ノイズである。熱雑音や周期の一定しない単発パルスから発生する雑音等は、スペクトルは継続して存在せずランダムに発生するため、ランダム性ノイズという。

雑音の測定から見た定義は以下のようになる (図7)。

- 1) 狭帯域性雑音……測定器の通過帯域幅により雑音のスペクトルを分解することができる雑音成分
- 2) 広帯域性雑音……測定器の通過帯域幅により雑音のスペクトラムを分解することができない雑音成分

4. 妨害波の測定

4.1 測定環境

妨害波は、自然雑音や通信放送電波等の周囲雑音が大きいと、その中に埋もれてしまって測定することが困難になる。とくに都市部では電波環境が悪化しているため、正しい測定結果を得ることはむずかしい。テレビ放送等の通信用電波はCW性の線スペクトルであって特定周波数を用いているため、容易に供試機器から発生する妨害電波と区別することが可能であるが、自動車等交通機関が発生するスパークノイズや他の電子機器から発生するノイズは、ランダム性ノイズのため特定することが困難であ

る。妨害波の測定に当たっては、これらの周囲環境雑音のできるだけ少ない場所が望ましい。

最近、妨害波の規制実施に伴って建設された測定サイトの多くは、都市部を離れた山奥や、海岸に近い所が選ばれている。これらの電波環境のよい屋外に建設される測定サイトはオープンサイトと呼ばれているが、都市部においては周囲雑音からまったく隔離された電波暗室が用いられる。電波暗室は、鉄板で完全にシールドしたシールドルームの内壁に電波吸収体を貼って電波の反射をなくしたもので、外部からの電波の侵入を防ぐと共に、内部の放射雑音も外部に洩れない構造になっている。

電波は波であり、波動が有する回折・干渉・屈折・反射等のあらゆる特性に従って複雑な運動をする。波は位相が一致すると強め合い、位相が逆になると弱め合う。妨害電波は、反射や屈折により電波の通る道筋が異なると位相がずれて、その合成波は強くなったり、弱まったり、定在波をつくったりする。このことは妨害波の測定を著しく困難にしている原因の一つであり、測定する度にデータが異なり測定的相关性を損う結果となる。

このように測定は、測定場所の環境に大きく左右されるために、測定場所の規格について厳密な定義がなされ、測定環境の適合性が厳しくチェックされる。適合性のチェックは、輻射電波の減衰量によって測られ、理論値の±3 dB 以内に収まることを必要条件としている。この測定をサイトアッテネーションの測定と呼んでいる。

周囲の環境雑音については、供試機器からの妨害波の判別が容易であるための条件として、VCCIの規格では合成波のレベルに比べて少なくとも6 dB 低いことを規定している。測定誤差をCISPRの規格が許容している放射妨害波測定誤差3 dB 以内にするには、環境雑音を被測定妨害波に比べて8 dB 以下にしなければならない。

これは次の理由による。今、被測定妨害波の電界強度を E_i とし、この妨害波測定中に電界強度 E_n の電波が混入すると、測定用アンテナの位置における合成波の電界強度 E_t は $E_t = E_i + E_n$ となる。

$$\text{測定誤差} = 20 \log \frac{E_t}{E_i} = 20 \log \left(1 + \frac{E_n}{E_i} \right) = 3$$

より環境雑音のレベルは、

$$20 \log \frac{E_n}{E_i} \doteq -8$$

となり妨害波より8 dB 低いことが要求される。

4.2 妨害波測定器

妨害電波の電界強度を測定するのに電界強度計やスペクトラムアナライザが用いられる。スペクトラムアナライザは、CRT管面に周波数ドメインで必要な周波数スパンに連続的のスペクトラムを表示するので、妨害電波の全体の出方を見るのに都合がよい。電界強度計はスペクトラムを一度に表示することができないので、スペクトラムアナライザで強いスペクトラム成分を探し出した後、そのスペクトラムの正確なレベルを測定するのに使われている。

図8にスペクトラムアナライザの原理を示す。スペクトラムアナライザは、一種の変調同調測定器であり、バンドパスフィルタの同調周波数を変えながら一定掃引時間

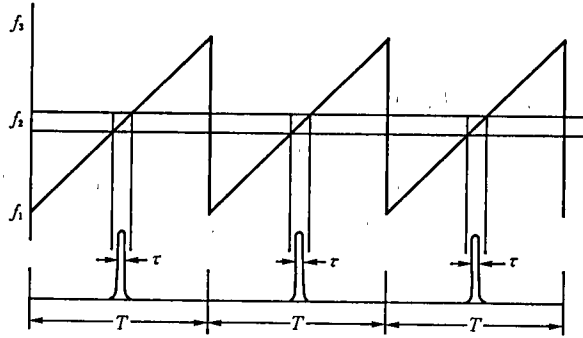


図8 スペクトラムアナライザの原理

Fig. 8 Principal of spectrum analyzer

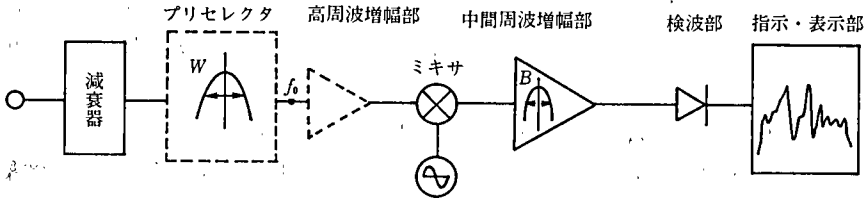


図9 妨害波測定器の基本構成

Fig. 9 Basic construction of EMI measuring equipment

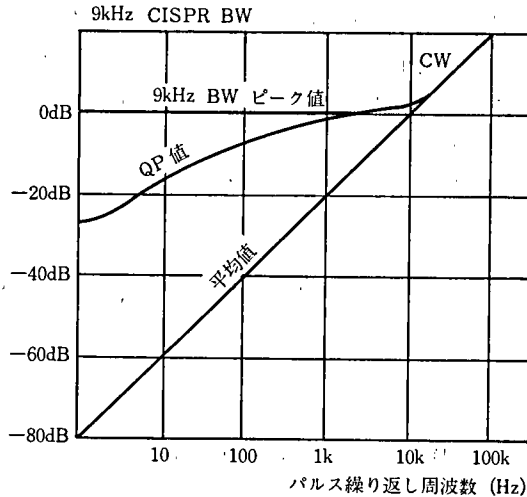


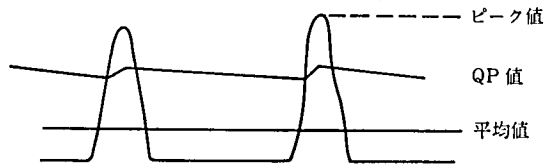
図10 ピーク値, QP値, 平均値

Fig. 10 Peak, quasi peak, average

TでCRT管面に表示するものである。したがって表示されるスペクトルはフィルタの帯域幅によって変化する。真のスペクトルを得るには被測定信号の繰り返し周波数よりも、フィルタの帯域幅を十分狭くしなければならない。図9にスペクトラムアナライザの基本構成を示す。

一般に妨害波は、ランダムなパルス雑音が入り乱れているため周期性が明確でなく真のスペクトルを測定することが困難である。

CW 性雑音はスペクトルが線状に連続して現われるため、表示される結果は分解フィルタの形状と同じパルスであり、中間周波 (IF) 増幅器の定常応答と考えられる。パルス性雑音はピーク値、平均値、QP 値で表現することができる。この関係を図 10 に示す。パルスの波高値およびパルス幅を一定として繰り返し周波数を変化させてみる。9 kHz 幅を通過したパルスピーク値は、帯域幅周波の 9 kHz 以下の繰り返し周波数の場合は、ピーク値は一定である。平均値は繰り返し周波数より低いカットオフ周波数のフィルタ (ビデオフィルタ) で検波出力を積分して得られる。QP 値は、ピーク値に対して CISPR 規格によるウェーティングをかけて得られる。



パルス繰り返し周波数が 9 kHz 以上になると帯域内に入るスペクトルが一本になり、CW 信号とみなせるのでピーク値、QP 値、平均値とも同じになる。QP 値のためのウェーティングは非常に長い時定数によるため、QP 値による測定は時間がかかることになる。

4.3 測定用アンテナ

VCCI の規格では測定用アンテナとして、30 MHz~1,000 MHz については、同調ダイポールアンテナを使用し、よい相関が得られる場合に限り他のアンテナも使用できるとしてある。ダイポールアンテナは、同一軸上に 2 本の線状導体を並べた構造のアンテナで、ダイポールの長さが約 1/2 波長 (半波長) のアンテナを半波長ダイポールアンテナと呼ぶ。

ダイポールアンテナは帯域が狭く波長に合わせてアンテナを交換する必要があるため、より広帯域をカバーできるバイコニカルアンテナがよく使われている。1 GHz 以上の帯域ではホーンアンテナがある。情報処理機器から出る妨害波は 1 GHz 以下であるため VCCI の規制も 1 GHz になっている。したがってアンテナもこの帯域をカバーするものが使われる。

4.4 擬似電源回路網

妨害波は、周波数が高くなると電波となって空間に放射されるが、周波数が低い場合は、電源線を通して伝導する伝導妨害波となる。したがって伝導妨害波は 30 MHz 以下の周波数帯域において規定され、機器の電源端子における端子電圧を測定する。

擬似電源回路網は、図 11 に示すように供試機器と電源の間に挿入し、供試機器の電源端子から電源側を見たインピーダンスを一定に保ちながら妨害電波を取り出し、測定器に供給するための装置である。測定器のプロブおよび入力インピーダンスが 50 Ω であるため、平衡を保つために測定していないラインにも 50 Ω が挿入されるようになっている。

また、電源側に含まれる外来雑音が測定回路に混入して測定値に影響を与えないように分離するためのフィルタ回路が入っている。この回路は CISPR PUB 22 に規定されていて、VCCI は CISPR に準拠している。

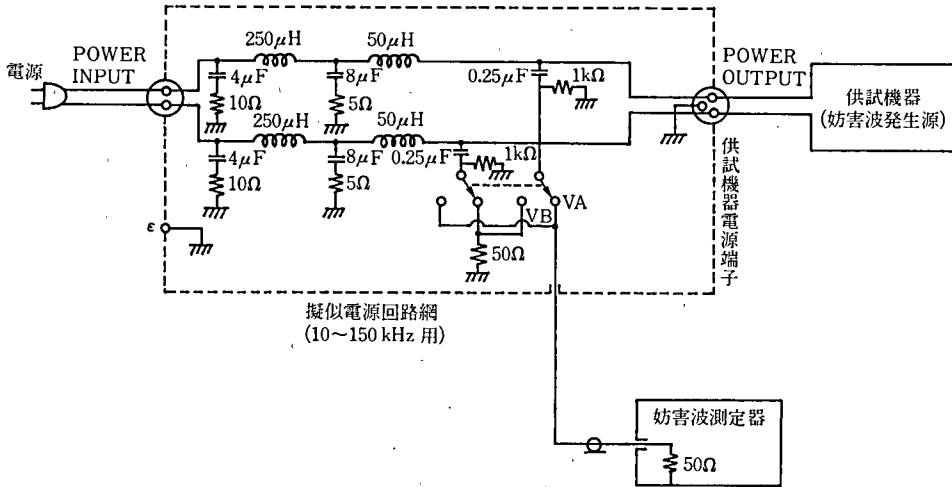


図 11 擬似電源回路網例

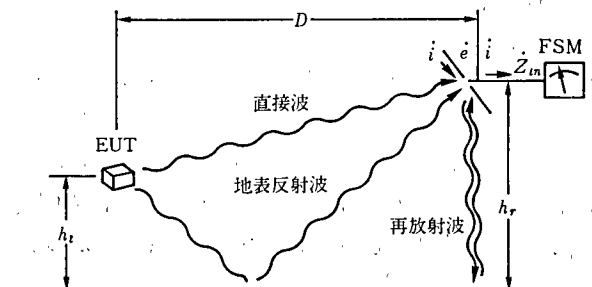
Fig. 11 Sample of line impedance stabilize network

4.5 測定設備

4.5.1 オープンサイト

測定は原則として、周囲に反射物のないオープンサイトで行うことになっているが、測定データの相関がとれれば測定側の責任において電波暗室での測定も認められている。オープンサイトの大きさは規定の距離に測定用アンテナを設置でき、供試機器とアンテナが反射物体から適切な距離だけ離れることができる広さであることから、長径が測定距離の2倍で短径が $\sqrt{3}$ 倍程度の楕円の範囲内に、顕著な反射物がないことと規定されている。

妨害波は一般の設置場所においては大地で反射されるため、測定においても直接波と大地反射波の合成波を測定する。合成波は直接波と反射波の位相が合うと最大となり、半波長ずれて逆位相になると最小になる。30~1,000 MHz の妨害波の測定では、直接波と大地反射波の伝搬距離はあまり差がないと見てよいので、合成波の最大値は



$h_t=1[m]$ $h_r=1\sim4[m]$ ($D=3[m]$, $D=10[m]$)
 $h_r=2\sim6[m]$ ($D=30[m]$) ; FCC の方法。
 または
 $=1\sim6[m]$ ($D=30[m]$) ; CISPR の方法
 (ただし, Publ. 22 では $1\sim4[m]$)

図 12 放射妨害波の測定⁽⁴⁾

Fig. 12 Measurement of EMI⁽⁴⁾

直接波のみの場合の約2倍(4~6 dB増)になる(図12)。

このように、大地反射波は測定結果に大きく影響するため大地表面を金属面にするようにし、その大きさを図13のように規定している。

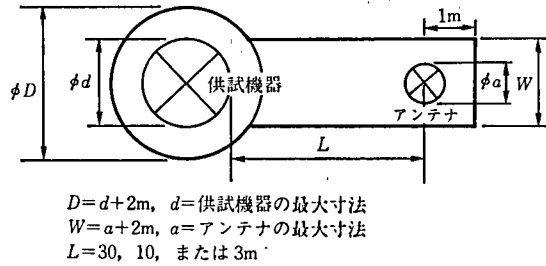


図13 測定場所の大地面上の条件(金属面の大きさ)

Fig.13 Condition of ground at measurement

4.5.2 電波暗室

室内に外からの電磁波が侵入・漏洩しないように、また室内の電磁波が外に漏れないように、天井・床・壁面を金属板とし、ドアにはガスケットで特別に細工した部屋のことをシールドルームという。シールドルームは周囲がすべて金属であるため、電磁波は壁面で無限に反射し、一種の共振現象を発生する。この反射のため、シールド内の測定はオープンサイトでの測定とはまったく一致しないので、MIL規格を除いて、シールドルームでの測定は認められていない。この反射をなくすために、シールドルームのすべての内壁面に電波吸収体を貼りつけたものが電波暗室である。しかし、30~1,000 MHzまでの妨害波の測定では、オープンサイトとの相関を取るために床面には吸収体を貼らずにオープンサイトと同様金属面にするので、正しくは電波半無響室と呼ぶ。

電波吸収体は用途に応じて、カーボン系・フェライト系・導電繊維系等、種々の材料が開発され実用化されている。電波暗室用としては、従来カーボン系ピラミッド形電波吸収体が使われてきたが、低周波を吸収させるには波長に応じてピラミッドを高くしなければならず、暗室全体が小さくできないといった欠点があった。このため電波吸収体の簿層化への研究が進められ、その結果フェライト電波吸収材料と誘電性損失材料を組み合わせることにより、従来のカーボン系電波吸収材料を用いた広帯域電波吸収体の厚みを1/2以下にすることが可能になった。このことによって電波暗室の有効面積も約2倍になり、暗室の設置面積が小さくて済むようになったので3m法による測定に適当な小形で低価格な暗室がつくられるようになった。

4.5.3 自動計測システム

供試機器から放射される妨害波は、直接波と大地に敷かれた金属板からの反射波の合成波であることは前に述べた。合成波は波の位相差により干渉を起こすために、測定するアンテナの位置によって電波の強さが異なるのが普通である。このため合成波の最大値を探す必要があり、アンテナを昇降させるための装置が設けられる。

また電波は、電荷の加速度の視線に垂直な成分に比例するため、電流の流れる方向によって偏波する。測定用アンテナは、この偏波の向きに合わせて垂直方向の波(垂

直偏波)と水平方向の波(水平偏波)を測定するため向きを変える。供試機器からアンテナの方向に向かう妨害波は供試機器の向きによって異なる。そのため供試機器を載せる台は木製で回転できる構造になっている。

このように妨害波の強さはアンテナと供試機器の位置や向きによって異なるため、妨害波の最大となるポイントを探すことは時間のかかる骨の折れる仕事である。回転台やアンテナは遠隔操作および人手によりコントロールされ、測定者はスペクトラムアナライザを見ながら供試機器やアンテナを操作して全体のスペクトラムを調べ、レベルの高い数ポイントを記録する。

記録されたポイントについては、正確なレベルを知るために電界強度計を用いてポイントごとに詳細な測定を行う。このような測定を行った結果規制値をオーバーしたり、測定誤差やサイトの相関を考えたとき、規制値をオーバーするおそれがある場合は、原因を追求し対策を行って再度測定することになる。このように測定には多大な労力と時間を必要とするため測定の自動化が進められている。

オープンサイトの場合は外部環境雑音があるため、放送電波等特定周波数の外部環境ノイズはあらかじめ登録しておき測定対象から省くようになっている。測定の自動化システムは、パソコンをコントローラとし、計測器や遠隔操作ユニットは GPIB インタフェースで接続されてパソコンからの指令に基づいて自動的にターンテーブルやアンテナを操作し、最悪値となる測定位置を探し出し記録する。しかしまだ 100%機械まかせにすることは危険であるため、最終判断は熟練した測定者が行うのが実情である。

4.6 VCCI の測定方法

VCCI の測定方法は、CISPR の勧告に従うものとしてとくに変更は加えていない。伝導ノイズについては電源端子に誘起される高周波電圧を測定するが、ノイズ成分を分離するために擬似電源回路網を用いる。この回路は CISPR PUB 16 で定義されているが、このほか FCC MP-4 または VDE 0876 で定義された回路も認められている。

供試機や測定装置は図 14 に示す通りに配置する。床上に設置する供試機は通常の使用条件と一致するように床上に置くが、供試機の底面支持部と金属的に接触しないことと定めている。このような測定条件は測定データを大きく左右するので厳密に守る必要がある。

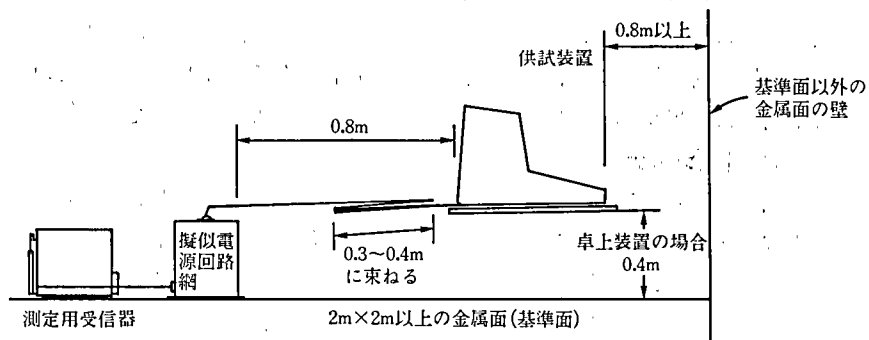


図 14 電源端子に誘起される高周波電圧の測定配置例¹⁾

Fig. 14 Example of placement at the measurement of conductive noise

妨害電波の電界強度については、準尖頭値(QP)検波を持つ電波技術審議会答申(昭和59年度)またはCISPR PUB 16に基づく受信機と同調ダイポールアンテナを用いて測定することになっている。しかし同調ダイポールアンテナは取り扱いが不便であることから、相関が保たれることを条件にバイコンカル等の広帯域アンテナの使用も認められている。妨害電波は電荷の加速度によって放射される、すなわち電流の方向に偏波するため、水平および垂直偏波成分の最大値を測定する。

供試機からの測定距離は、水平距離で第一種情報装置が30 mまたは10 m、供試機の最大の稜の長さが1 m以内の場合は3 mでもよいとされ、第二種装置は10 mまたは3 mとする。3 m以上の中間の距離で測定できる場合は、次式によって計算された値をもって測定値とすることができる。

$$E_1 = \frac{D_2}{D_1} \times E_2$$

E_1 : 規定の距離に換算した値

E_2 : 任意の距離における測定値

D_1 : 規定されている水平距離

D_2 : 測定した時の水平距離

しかし、波長 $\lambda=18$ m以上(16 MHz以下)の妨害波は測定距離3 mにおいて遠方界とならず、誘導電磁界が優勢であるため近接界となる。このため供試機器の一種の長さ(妨害波のアンテナ長)を1 m以内と定めているが、それでも近接界の影響を受けざるを得ないのが実情である。

このため上記の換算値は、実際の測定値と異なることが多く一応の推定値として参考値にとどめるべきで、測定データとしては正規の測定距離において測定すべきであると考え。CISPRでは、3 m法は正しい放射電界を測定することが困難であることから、最近10 m法に統一する方針を示している。アンテナの高さについては、各試験周波数において最大指示となるよう1 mから4 mまで変化させ、垂直偏波の測定においてアンテナ中心が1 mまで下げられない場合は、アンテナの最下部と大地面の距離が0.25 mになるまで変化させるよう定めている。

実際の測定に際しては、供試機の形状、システムの接続状態等さまざまであるため、基本的に装置が使用される条件に近い状態を模したのとし、測定者の責任において機器からの放射レベルの最も高くなる配置等の条件の基に測定を行うことになっている。しかし、これでは具体性に欠けるので測定の再現性を高める目的から試験条件のガイドラインを別に定めている。たとえば、CRTディスプレイを含む装置の測定の場合は、画面に表示される表示パターンによって妨害波の強さが異なるため、「H」パターンを画面一ぱいに表示すること等が定められている。

この試験条件は、パーソナルコンピュータ、ワードプロセッサ、ファクシミリ等、供試機の種類ごとにその装置の構成、配置、インタフェースケーブルの処理、動作条件等が細かく定められているが、それでもすべてを網羅することは困難であり、しかも測定条件が異なると測定の再現性は得られないため、試験時の状態を図や写真にして記録にとどめることになっている。

このように綿密に定められた条件に従って測定しても測定の再現性を得ることが困

難な場合が多く、同一サイトで同一条件のもとに行った測定データに5~6 dBの差が出ることは珍らしくない。まして測定サイトが異なると、サイト間の特性が最大で6 dBの誤差があることからデータの相関が得られることの方がまれである。

これらの誤差を考慮して、サイトや測定条件が変わっても規制値を満足させるためには、測定データが規制値に対して最少6 dBのマージンを持つことが最低の条件となる。しかし、現在の技術レベルでは、現規制値でさえクリアするには厳しい値であるため、すべての供試機について6 dBのマージンを得ることは困難であり、対策に多大なコストがかかることになる。

このように現在の妨害電波の測定方法には多くの課題があるが、現実には妨害電波による障害が社会的に問題になっていることから、問題を含みながらも規制を進め測定方法の改善を図ることが、電波障害を少なくする唯一の方法であり、情報化社会をリードする企業の責任であると考えられる。

5. 東京ベイ開発センタ (TDC) の測定設備

当社は東京ベイ開発センタの設立に当たり、時代の要請に応じてノイズ特性のよい、高品質プロダクトを世に出すためには、妨害電波の測定設備を保有することが必須であると考え、電波暗室を導入することとなった。この電波暗室は、3 m法の正規の測定用であるが6 mの距離で測定することにより、一稜が1 m以上の供試機器でも換算によって10 m法による測定値を推定することが可能になっている。しかし、距離の換算はあくまで参考値であり、正しくは正規の測定距離で測定すべきことは、これまでに述べた通りである。

この電波暗室に使われた電波吸収体は、フェライト電波吸収材料の上に炭素粉末を包有した発泡スチロールのクサビ型誘電性損失材料からなっている。この組み合わせによって電波吸収体の厚みを薄くできるため、狭い設置面積に比較的広い測定面積が確保でき、6 m法の測定が可能になった。測定機器は全自動システムを導入し、パソコンによるコントロールのもとに、ターンテーブル回転や、アンテナの昇降が自動的に行われ妨害波の最大値を探し出し、記録できるようになっている。

これらの測定機器は測定室に設置されているが、測定室も完全シールドルームにな

表3 電波暗室の電気特性
Table 3 Characteristic of anechoic chamber

項目	周波数	偏波面	特性値
特性 - I	25 MHz 以上 70 MHz 未満	水平	11.3 dB ± 3 dB
	70 MHz 以上 1 GHz 以下	水平	$20 \log F \text{ (MHz)} - 25.7 \text{ dB} \pm 3 \text{ dB}$
	40 MHz 以上 1 GHz 以下	垂直	FCC Technical Note に示されている サイトアテネーション対フレクエンシを適用
特性 - II	30 MHz 以上 300 MHz 以下	水平 垂直	FCC登録のオープンサイトの測定値 ± 4 dB
	300 MHz 以上 1 GHz 以下	水平 垂直	FCC登録のオープンサイトの測定値 ± 4 dB
電磁界遮蔽率	150 kHz 以上 1 GHz 以下		90 dB 以上
電源線遮蔽率	14 kHz 以上 1 GHz 以下		90 dB 以上

っていて、電源の引き込みはフィルタを通して外部ノイズを完全に遮断している。

5.1 電波暗室の概要

- 1) 規模 暗室(シールド寸法) 12.0m×8.5m×5.7m
計測室 5.0m×5.0m×3.0m
- 2) 電気的特性……電気的特性(表3)は3m法でFCCの認定が得られることを条件としておりFCCへの登録を行う予定である。図15はサイトアテネーションの結果の例を示している。
- 3) 測定室および測定システム……測定室は写真1のように、電波暗室(写真2)とは隔離されたシールドルームとなっている。測定システムは全自動測定システム

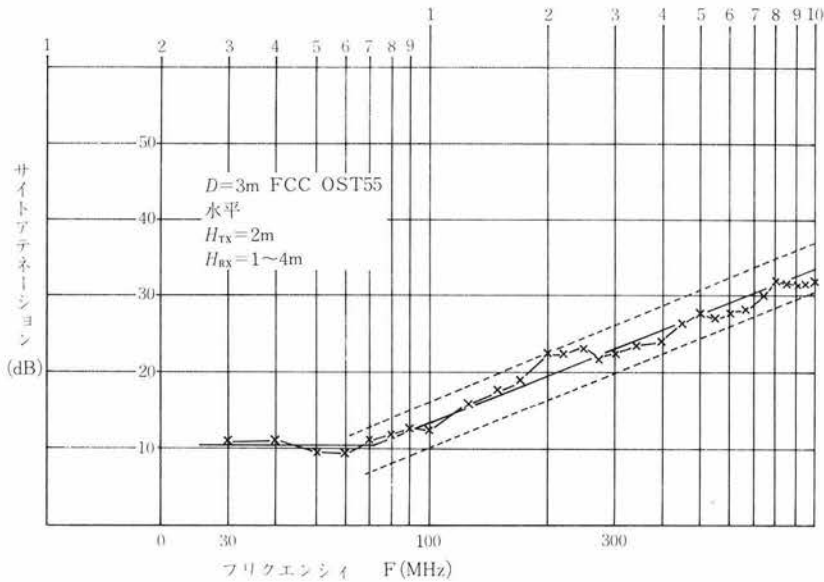


図15 電波暗室の特性

Fig.15 Characteristic of anechoic chamber



写真1 妨害波測定室

Photo.1 Room for measurement

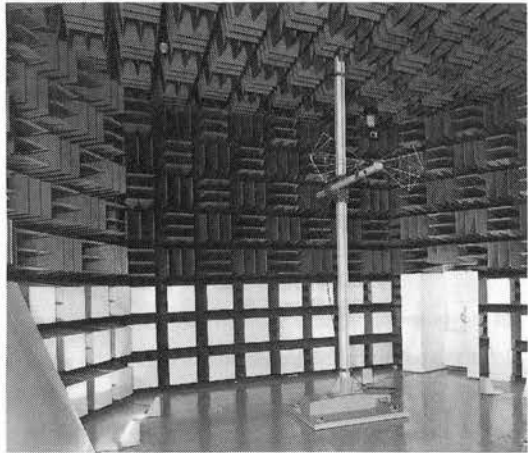


写真2 電波暗室

Photo.2 Anechoic chamber

ムが導入され測定省力化がはかられている。暗室内にはモニタテレビが設置され、測定室から暗室内に設置された供試機器の状況や、アンテナの位置等が確認できるようになっている。

6. おわりに

マイクロエレクトロニクスを中心とする情報機器は、オフィス環境から一般家庭への導入が進み、われわれを取り巻く電磁環境は複雑に変化しつつある。こうした環境の中で、電磁妨害波による事故は、テレビ受像機への障害を始め、産業ロボットの誤動作による人身事故やペースメーカー（心臓）の停止等、さまざまな社会問題を引き起こしている。

米国ではゲームマシンによる妨害波問題がきっかけとなり、連邦通信委員会(FCC)による規制が諸外国にさきがけて実施された。国際的には CISPR がこれを追従する形となり、CISPR の規定も FCC の規制に類似している。

したがって、VCCI の規制も FCC と若干異なるところはあっても、FCC の規制をクリアすれば VCCI の規制もほぼクリアするものとみてよい。けれども認定を受ける場合は、それぞれ別々に届出を行わなければならないため、手続の煩雑さによる貿易障害が危惧され、国際的な認定制度の確立が望まれる。

測定については、現在の測定方法は再現性に乏しく問題を含んでいる。また測定用設備は高価であるため中小メーカーでは導入が困難であり、外部の測定業者を頼らざるをえないが、測定設備の絶対量が不足し、予約から測定までに1か月以上かかるのが普通である。

このように妨害電波の問題は複雑多岐にわたっているが、これらの課題に真剣に取り組み一歩ずつ前進させることが、企業および電磁環境問題に取り組む技術者に課せられた社会的責任であると認識している。

-
- 参考文献 [1] 「情報処理装置および電子事務用機器等から発生する妨害波の自主規制措置運用規定」情報処理装置等電波障害自主規制協議会 (VCCI)。
 [2] 電子技術, 1985, Vol. 27, No. 10, 特集: 最新 EMC 設計ガイド。
 [3] ファインマン物理学III, 電磁気学, 岩波書店, ファインマンレイトン・サンズ, P. 259。
 [4] 電磁波の吸収と遮蔽, 日経技術図書(株)。
 [5] 田宮潤, 川又晃, パルス回路設計マニュアル, 丸善株式会社, pp. 10~17。
 [6] 日野幹雄, スペクトル解析, 朝倉書店, pp. 10~24。

執筆者紹介 小山 晴 男 (Haruo Koyama)

昭和 39 年早稲田大学理工学部電気工学科卒業。同年日本ユニシス(株)入社。フィールドサービスに従事。ハードウェア開発部を経て、現在ハードウェア開発二部 PCA 実装設計課に所属。



プリント基板 CAD の課題

The PCA-CAD System—LAYOUT

上 谷 彊 輔

要 約 1987年以來、われわれは PCA-CAD “LAYOUT システム”を開発・改良してきた。以來、日本ユニシスが開発した PCA (Printed Circuit Assembly)の 90%は LAYOUT を用いて設計してきている。

本稿は主に以下の項目から構成されている。

- 1) ハードウェア開発における PCA の位置付け
- 2) PCA-CAD の課題と LAYOUT システムの紹介
- 3) 高密度実装を可能にする自動配線プログラム

論理を物理的に実現する上で PCA は本質的である。ハードウェア開発工程におけるデータの流れの中で、PCA の情報は最も重要な役割を果たしている。ハードウェア開発の各部門は、PCA に関するすべてのデータを矛盾なく設定し、検索できなければならない。プリント基板設計は、ハードウェアの電氣的に正しい動作を保証しなければならないし、高い製造歩留りを保証しなければならない。

LAYOUT の設計原則は、ハードウェアの設計情報の一貫した流れを作り上げることと、電氣的、製造上の条件を満たし、サイズやコスト上の要求を満たす基板設計を支援することである。

本稿では、各基板設計条件の意味、LAYOUT の設計原則、システムの長所、短所について述べる。とくに高密度実装を可能にするための、さまざまな工夫については詳しく述べる。

Abstract We have been developing and enhancing the PCA-CAD system dubbed “LAYOUT” since 1987. It has helped us to design 90% of the PCAs (printed circuit assemblies) which have been developed by NUL (Nihon Unisys, Ltd.) up to the present.

This paper is made up of items that are as follows:

- 1) where PCA is positioned in the realm of hardware development
- 2) what PCA-CAD is aimed at and how the LAYOUT system works
- 3) how the automatic routing program helps to make high-density mounting possible.

PCA is inevitable to making logics available in a physical form. PCA information plays the most important role in the data flow in the process of hardware development. Each of the people involved in hardware development has to be allowed to set and retrieve all PCA-related data in a consistent way. PCA designing must also guarantee electrically correct hardware movement as well as high yield rates at a manufacturing factory.

The design principles for LAYOUT are in creating the consistent flow of design information for hardware, and in supporting PCA designing that satisfies all electrical and manufacturing requirements including size and cost factors.

The author clarifies PCA design requirements, LAYOUT design principles and the system's advantages in addition to the disadvantages. In particular, more precisely described are some ideas that have materialized high-density mounting.

1. はじめに

ハードウェア開発部門がPPLS (Printed Pattern Layout System)を導入し、プリント基板設計をCAD化したのは7年前の1982年であった。その後、部品や基板仕様の変化および高密度化にPPLSが追従できなくなったため、1985年から2年間かけてプリント基板CADシステム“LAYOUT”を開発した。以来、その拡張、周辺ツールの開発を行いながら運用に供してきた。現在ハードウェア開発部門が開発するプリント基板の90%はこのCADを用いて設計している。

本章では、ハードウェア開発におけるプリント基板の位置付けを行い、われわれがプリント基板CADをCAD化の中心にすえてきた理由と背景を述べる。

図1はハードウェア開発を機能の実現の面から見た時の工程図である。

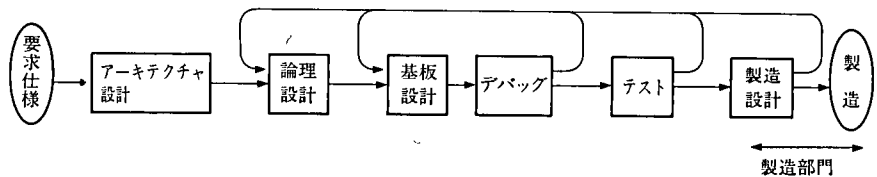


図1 ハードウェアの開発工程

Fig.1 Process of hardware development

論理設計・基板設計が完了すると、基板メーカーにプリント基板の試作が依頼される。試作ボードができ上がってくると、部品が実装されデバッグが開始される。デバッグ中は、パターンカットとアッドワイヤリングが繰り返され、デバッグが完了すると、加速試験や長時間運転テスト等が行われる。

基板は通常、この時期に数回作り直される。これをクリーンワークと呼んでいる。アッドワイヤのままだとノイズが乗りやすく、デバッグやテストに支障が出るし、製造や保守時の問題も多いからである。

なお、クリーンアトワークは、量産コストを下げるためやテストをしやすくするために、製造部門から要求されることもある。

この工程の流れから、プリント基板の位置付けとして以下のことが言える。

- 1) 設計結果は製造用ドキュメントとして製造部門に流され、図2に示す工程で製造される。図からわかるように、プリント基板は重要なハンドリング単位となっている。また、出荷後の保守、修復等も、プリント基板単位に行われるものが多い。

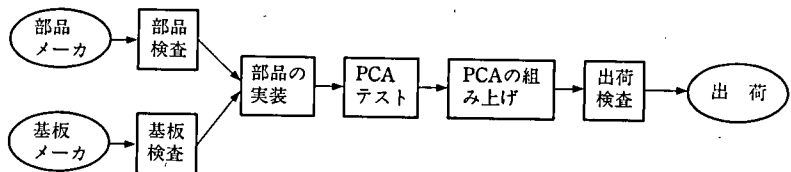


図2 製造工程

Fig.2 Process of manufacturing

- 2) 基板設計は、製造条件を考慮しつつ論理設計が期待する動きを物理的に保証することである。基板に実装される部品は部品メーカーより供給されるものであり、ある規格の下で一定の信頼性が保証されている。しかし、プリント基板は開発製品ごとに異なる特注品であり、実装される部品の特性とも関連して、製品の物理的特性を大きく規定する。耐ノイズ性等の基板特性や製造信頼性等、基板設計部門の責任は大きい。
- 3) デバッグ結果は、必ず“物”としての基板に反映しなければならない。基板の試作は設備の関係から基板業者に依頼せざるを得ず、ソフトウェアのようにエディタで簡単に変えるようなわけにはいかない。また、設計結果の NC テープを提供して、試作してもらう場合は問題はないが、パターン設計から業者に依頼するとなると、パターン検査を人手でやらざるをえず、設計データの流れもここで途絶えてしまう。
- 4) 電子機器の大きさを、プリント基板の大きさ以下にすることはできない。小型化のためには、LSI 化が一つのポイントではあるが、実装部品確定後は基板をいかに小さくするか、すなわちいかに高密度化するかが鍵である。また、製造歩留りの高い基板を設計することも、コスト上重要である。

トータル CAD なり、開発工程全般の機械化なりの面からは、プリント基板 CAD 以外にも必要なものは多い。ハードウェア仕様記述手法の開発、アーキテクチャ設計 CAD、論理設計 CAD、CAT (Computer Aided Testing—テスト支援)、保守ツール、リペアツールと、実に多方面にわたっている。

しかしこれらは、適用範囲や効果を限定せざるを得ないものも多く(たとえば、CPU の設計を主たる対象としているとか)、技術的にも未熟だったりする。一方、プリント基板 CAD は、LSI-CAD とともに、技術的に確立されている分野であり、その効果も広く確認されている。しかも、今まで述べてきたように、プリント基板は、論理設計結果を金物にするための土台である。設計と製造を結び付け、ハードウェアのライフサイクルの中で物と情報の流れの接点となるものであり、物としての価格・大きさ・信頼性を最終的に決定する。

こうした点を考慮して、われわれはプリント基板設計 CAD および、プリント基板に関する情報の一括管理を CAD 化の中心にすえてきたのである。

2. プリント基板概説

本章では、3 章以降の記述上必要な部分に限定してではあるが、プリント基板の仕様およびパターン設計上の制約となるホールドリル位置精度について述べる。

2.1 基板仕様とパターン仕様

プリント基板において、部品の端子と端子を結ぶパターンは、各層の銅箔パターンと層間をつなぐ via ホールからなっている。via は結ぶべき層間を機械的にドリリングし、壁面を半田メッキして導通状態になる(図 3)。各ホールにはパターンとの接続を強化するための銅箔が付いており、これをランドと呼んでいる。

また、電源 (VCC)、グラウンド (GND) は、内層の全面銅箔の層(これを内層ベタ層と呼んでいる)を用意し、ここから供給されるのが通常である。

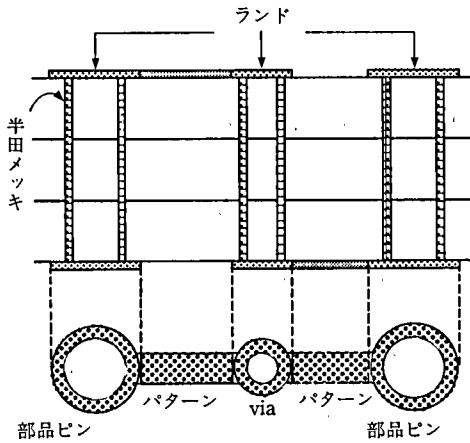


図3 ホールとパターン

Fig. 3 Hole and pattern

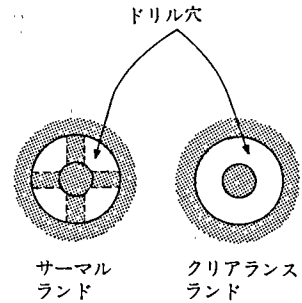


図4 サーマルランドとクリアランスランド

Fig. 4 Thermal land and clearance land

GND, VCC を内層に持ち込むことにより、定インピーダンスで、したがって波形のゆれの少ない、電源供給能力の高い基板が得られる。

なおホールには、GND 層や VCC 層と接続する時には、内層ベタ領域と接続するためのサーマルランドが、接続されない時には、内層ベタ領域と絶縁するためのクリアランスランドが付けられる(図4)。サーマルランドは、これを全面銅箔にするとメッキ時に熱が逃げすぎ半田上がりが悪くなるため、図のような形になっている。

プリント基板はこの銅箔パターン層と via の構成方法により、図5に示すいくつかのタイプに分けられる。

なお、図中の(c)~(e)の via は IVH (Interstitial Via Hole—層間 via) と呼ばれている。

(a)~(e)の基板仕様の特徴を述べる。

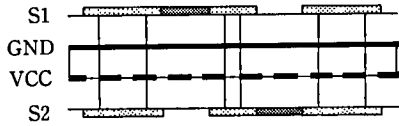
(a) 信号2層、貫通 via, 4層板……産業用基板の代表例であり、産業用基板の8割は本仕様である。GND, VCC の両面板を作り、表裏層の S1, S2 とともに積層後、表裏層をエッチングして貫通ホールを開ける。via 径、ライン幅等により実装密度は大きく異なり、ファイン化パターンを用いた場合は廉価版の50%ほどのコストアップとなる。

(b) 信号4層、貫通中型 via, 6層板……産業用多層板の廉価版である。S2-GND, VCC-S3 の両面板を2枚作り、表裏層 S1, S6 とともに積層後、エッチングして、貫通 via を開ける。(c), (d) に比べ穴明け工程が少なくてすむため、比較的廉価に多層基板が作れる。ただし、2.2節で述べるように内層での配線容量は低く、(a)のせいぜい2, 3割増し程度にとどまる。

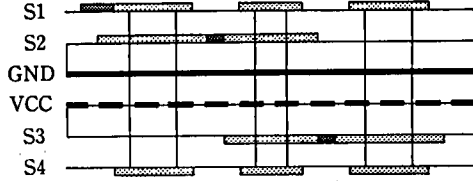
(c) 信号4層、blind via, 6層板……IBM社が3081用に開発した基板仕様で、(b)に比べ実装密度を大幅に向上できる。いろいろな製法があるが、(b)と同様に積層後エッチングして、貫通ホールと表裏から途中までの blind hole を開けるのがオリジナル製法である。この製法は、blind hole の深さの制御がむずかしい。通常は、blind hole を開けた両面板を積層後、貫通ホールを開けたり、積

層後に表裏層のエッチングを行い、貫通ホールを開ける方法をとる。現在は、まだ製造歩留り上の問題点が残されておりコスト高にならざるをえないが、表面実装部品の両面実装等には極めて有利であり今後の期待は大きい。

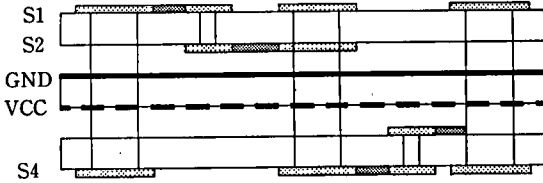
(d) 信号4層, burried hole, 8層板……歩留りが高く、(b)よりやや高い程度のコストで、(c)以上の実装が可能である。burried holeを開けた両面板と表裏層とを積層後、表裏層のエッチングと貫通ホールの穴開けを行う。(b)と違って、積層時やエッチング時に表面に穴が開いていないため、歩留りが高くな



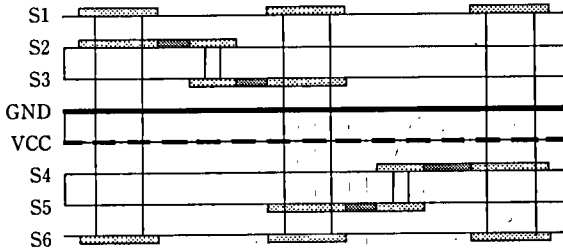
(a) 信号2層, 貫通via, 4層板



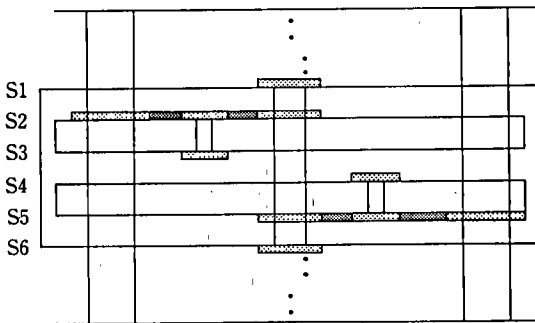
(b) 信号4層, 貫通中型via, 6層板



(c) 信号4層, blind via, 6層板



(d) 信号4層, burried hole, 8層板



(e) IVH, 高多層板

ランド

ライン

S1~S6; 信号層
GND, VCC; 電源層

図5 層とviaの構成

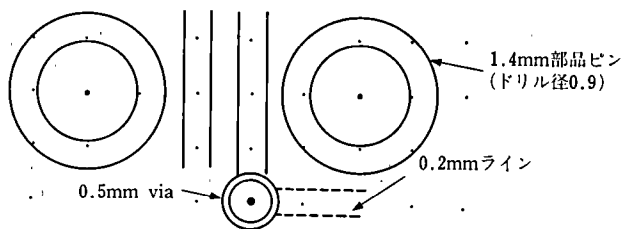
Fig.5 Structure of layer and via

る。内層両面板も極めて薄いためドリル径を小さくでき、信号両面板を追加することも容易なため高い実装密度が得られる。表裏層を保護層としてパターンを表に出さないようにすれば、ハンドリング性を高めることができる。表裏層にグラウンド・パターンをひくことにより、耐ノイズ性・信号の安定性を向上させることも可能である。リワークしにくいのが難点である。

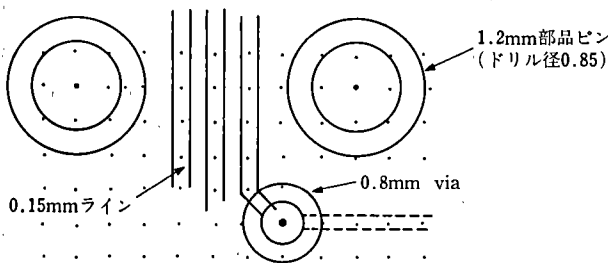
(e) IVH, 高多層板……大型汎用コンピュータ等では、500ピン、1000ピンといった部品も使われ始めており、層数は20~50層にもなる。こうした基板は、(c)もしくは(d)の仕様を何重にも重ねて作るため、製造工程が複雑で歩留りも低く当然コストも高い。

こうした基板上に引くパターン仕様の例を図6に示す。

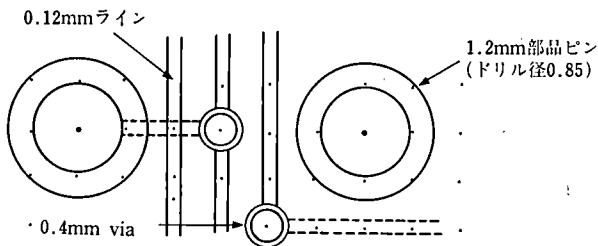
(a)は、0.1インチのグリッドを5分割した補助グリッドの上に、viaとラインを引くもので、5分割ピン2仕様と呼ばれ、(a)~(e)のすべての基板仕様で使われる。(b)は8分割ピン3仕様で、基板仕様(b)で使われる。(c)は、当社独自の仕様で、基板仕様(a)または、(d)で使われる。当社開発基板の2~3割はこの仕様である。



(a) 5分割ピン2仕様



(b) 8分割ピン3仕様



(c) 6分割ピン3仕様

図6 パターン仕様の例

Fig.6 Specification of pattern

2.2 ドリル位置精度

パターンを基板製造の視点から見たとき、信頼性、コストを主に左右するのはドリル位置精度である。

ラインは、光学的大概および化学的処理により実現される。そのため、ライン幅や位置精度は大幅な進歩を示しており、0.1 mm ラインに 0.1 mm のクリアランス程度なら十分製造に耐えられる。しかし、via はドリリングという機械的処理によっているため、その径はせいぜい 0.3 mm が限界となっている(図 7 (a))。図からわかるように、ドリルの位置精度を基準にすると、ライン間隙が開きすぎるか、不自然なパターンを作らざるをえなくなる。レーザによる穴開けが可能になり、0.1 mm 程度の via が高い位置精度で得られるようになると(図 7 (b))、パターン生成は非常に楽になり、高密度実装が極めて容易になる。

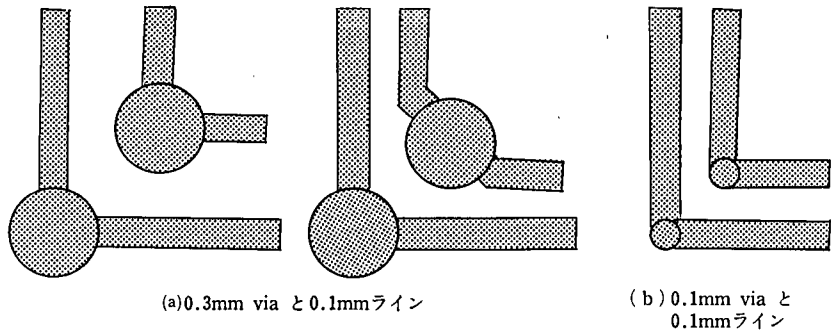


図7 ラインと via のサイズ比
Fig. 7 Comparison between line-width and via

基板仕様(b)~(e)の多層板になると、このドリルの問題はさらに深刻になる。以下、その理由を説明しておく。

多層板の製造工程は、基板仕様の(c)を例にとると以下のようなになる(図8)。

- ① 表裏層にパターンを引いた両面板を作る。
- ② ドリル穴を開ける。
- ③ 積層する。

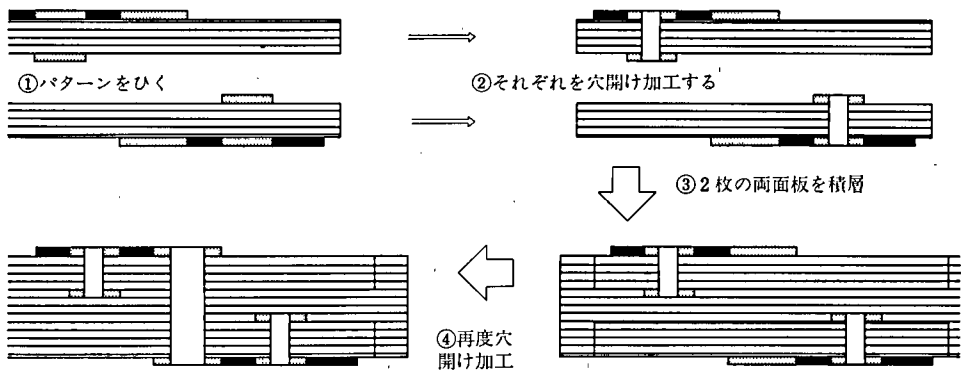


図8 多層板の製造工程の概要
Fig. 8 Manufacturing-process of multi-layered board

④ 貫通穴を開ける。

①のパターンの位置精度は、50 cm 程度の大型基板でも $30 \mu\text{m}$ 程度の誤差しかなく、極めて高い。②のドリルも基板厚が薄い場合は、 $50 \mu\text{m}$ 以内の位置精度を持っており、これも十分高い精度が保証されている。

問題は③の積層である。積層は、プリプレグと呼ばれる接着用の薄膜と両面板を合わせ穴と呼ばれる穴に棒を通すことにより、位置を合わせ熱圧着するという極めて原始的な方法によっており、この工程で約 $150 \mu\text{m}$ 程度の誤差が発生する(この原始的な方法が、この程度の誤差しか生じないということ自体、基板メーカーもよくわからないらしい)。これを層ずれと呼んでいる。

貫通 via を開けると、内層パターンから見ると、この層ずれはドリルの位置ずれとして現れる。ドリルと外層パターンとの位置ずれは外観検査でわかるが、内層パターンとのずれは X 線透過検査でもやらない限り(当然コスト高になる)わからない。このため普通は、ドリルが少々ずれてもラインとの接続が保証できるように、内層でのランドを大きくとる(図9)。この製造上のマージンである大きな内層ランドが、多層板のパターン設計の最大のネックとなる。この問題に対する対応策については、4.2.2 項で述べることにする。

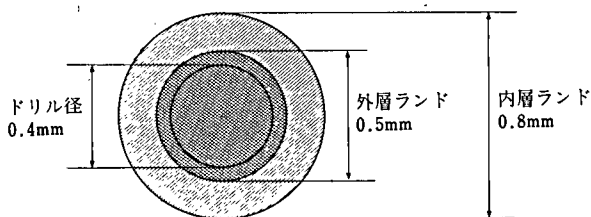


図9 ドリル径と外層ランド・内層ランドの例
Fig.9 Drill, inner-layer land and surface-land

3. プリント基板 CAD “LAYOUT システム”の構成と構想

本章では、プリント基板設計工程、LAYOUT のシステム構成および機能目標について述べる。自動配線プログラムの配線能力等については、4章で詳しく述べることにする。

3.1 基板設計工程と LAYOUT のシステム構成

基板設計の作業の流れおよび、それぞれの作業に用いるモジュールを図10に示す。機器構成は、UNISYS 1100/72 と UNISYS AGS 3000 である。

論理設計の結果は、各種の論理素子および、それらの間の論理的接続関係の形(これをネットリストと呼ぶ)で、LAYOUT に渡される。designer により、部品の配置を行った後、論理素子を配置部品に割り付ける。この割り付けによって、ネットリストは配置部品のピンの接続関係に変換される。以降の配線設計は、すべてこのピンの接続関係に基づいて行われる。

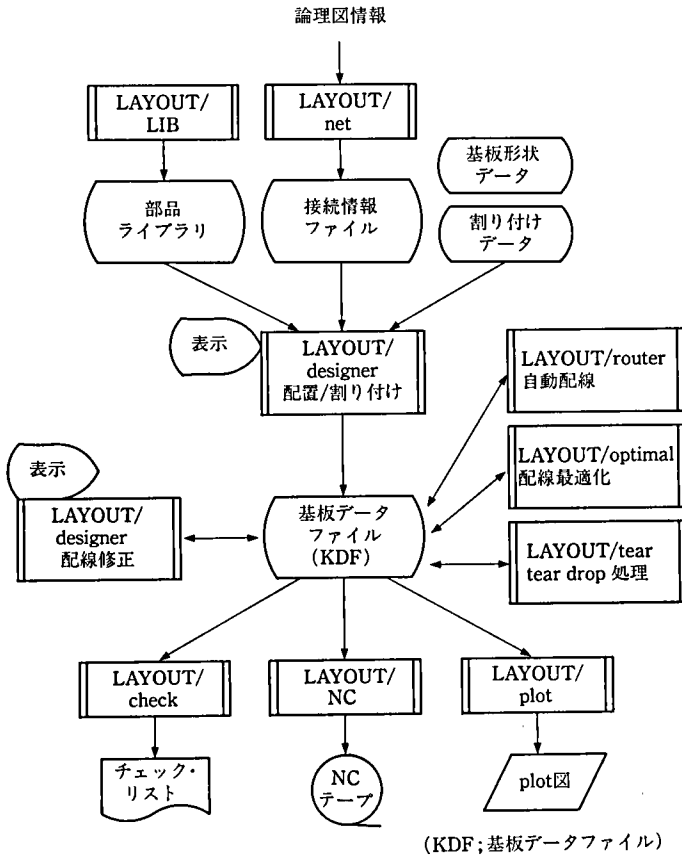


図 10 LAYOUT システム構成図
Fig.10 System structure of LAYOUT

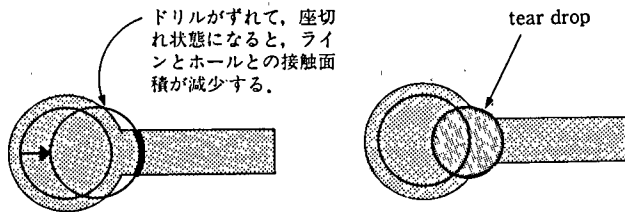


図 11 Tear drop
Fig.11 Tear drop

基板設計者は、designer でクリティカルパスや特殊電源パターン等の設計を行った後、バッチ型の自動配線プログラムである router を起動する。

router が 100% 結線できることはほとんどなく、通常数本から数十本が未結線となって残ってしまう。未結線が多すぎる場合は、designer の配置評価用コマンドや配置変更用コマンドで配置を改良し、再び router を起動する。最終的に残った未結線は、設計者が designer で結線する。

配線が完了すると optimal で不要な via を削除し、tear で tear drop (ドリルがずれても、パターンとの接触面積を保持するための補助パターン—図 11) を付け

る。さらに、パターンを plot でプロットし目視検査するとともに、check で接続チェック、ショートチェック、クリアランスチェック、ループチェック等を行う。問題がなければ基板製造用のプロット図を出力し、NC で NC テープおよび製造用ドキュメントを出力する。

3.2 LAYOUT システムの基本課題

LAYOUT システムは、1章で述べたハードウェア開発におけるプリント基板の位置づけや、2章で述べた製造歩留りからくる条件および、PPLS-II 以来の経験を基にして、以下の事柄をシステムの課題としている。

- 1) 論理設計から製造までの工程におけるデータの一貫性
- 2) 電気的特性の良い基板の設計
- 3) 部品や基板の新技术への対応性
- 4) 高密度実装
- 5) 基板設計期間の短縮
- 6) 高い保守性
- 7) 設計者への親和性

1)と3)は主にシステムのデータ構造に関連しており、2)と4)は基板の品質を保つための条件であり、5)～7)は CAD のユーザへの直接的効果をねらったものである。

以下、1章、2章で述べたことを補足しつつ、1)～7)の意味およびシステム構成上の工夫等を述べていく。

3.2.1 データの一貫性

ハードウェアは、仕様から製造・保守まで、ソフトウェアに比べると多くの独立した部門間の分業を前提としている。部門間のインタフェースは明確で、たとえば設計部門が製造部門に渡す図面やデータは、定められた規約を満たしていなければならないし、確実に製品が作れる必要十分なもの でなければならない。基板の via 位置一つ、図面やデータの正式な変更情報のリリースなしに動かすことはできない。人手介入のミス等により、データに矛盾や抜けがあると、製造時にトラブルを起こしたり欠陥製品を作ったりすることになる。

基板設計 CAD の第一の目的は、単に基板上にパターンを引くということにあるのではなく、こうした工程の中で、一貫したデータの流れを保証することにある。

図 10 に示す通り、LAYOUT は KDF (基板データファイル) をシステムの中心に置いている。すべてのモジュールは KDF を入力し、処理結果を付加して KDF に出力する。KDF は、PWB (Printed Wiring Board—プリント基板の板そのもの) 製造用のデータにとどまらず、論理情報との関連や、部品に関する情報等、PCA (Printed Circuit Assembly—部品を搭載した基板) に関するすべての情報を保持している。

通常、プリント基板 CAD とは部品の搭載していない PWB の CAD を指す場合が多い。こうした CAD では、パターンは単に部品のピンとピンを結ぶだけのものであって、論理構成、実装部品やピンの特性、信号速度等は考慮されない。現在市販されているプリント基板 CAD はすべて PWB-CAD であり、LAYOUT が目指している PCA-CAD とはその目的を異にしている。

KDF の構造を簡単に紹介しておく。KDF は、以下に示す比較的独立した七つのブ

ロックから構成されており、各ブロック内は相互に関連したレコードから構成されている。

- ヘッダ・ブロック : KDF の構造
- PWB・ブロック : 外形寸法や層構成等 PWB そのものの情報
- ロジック・ブロック : 論理情報
- プレースメント・ブロック : 部品および部品配置情報
- アサイメント・ブロック : 論理素子と実装部品との対応
- コネクション・ブロック : パターン情報
- ルータ・ブロック : 自動配線プログラムのためのブロック

図 12 にレコード構造の例として、プレースメント・ブロック内の部品種レコードと他のレコードとの関連を示す。PWB やパターン等にも同種の構造が与えられている。個々の要素への属性追加も容易で、機能追加に柔軟に対応できるようになっている。

3.2.2 電気的特性のよい基板の設計

実装論理がデジタルであったとしても、基板上のパターンを走るのには電気的には連続波形である電磁波であり、各パターンはその伝送路である。

低速の回路の場合は、パターンを伝送路として考える必要はなく、プリント基板は IC のピンとピンとを単に結んでいさえすればよかった。IC の出力ピンから出た信号が定常状態になったところで次の段の IC が動作すればよいからである。しかし回路が高速になってくると、プリント基板上のパターンは単に IC を結ぶというよりは回路の一部としての色彩が強くなり、伝送路としての問題点が顕在化してくる。

しかし幾何学的にパターンを引く LAYOUT のようなプログラムが、電磁場解析をしながらパターンを引くわけにはいかない。一方こうした問題の中には、制約なのか、

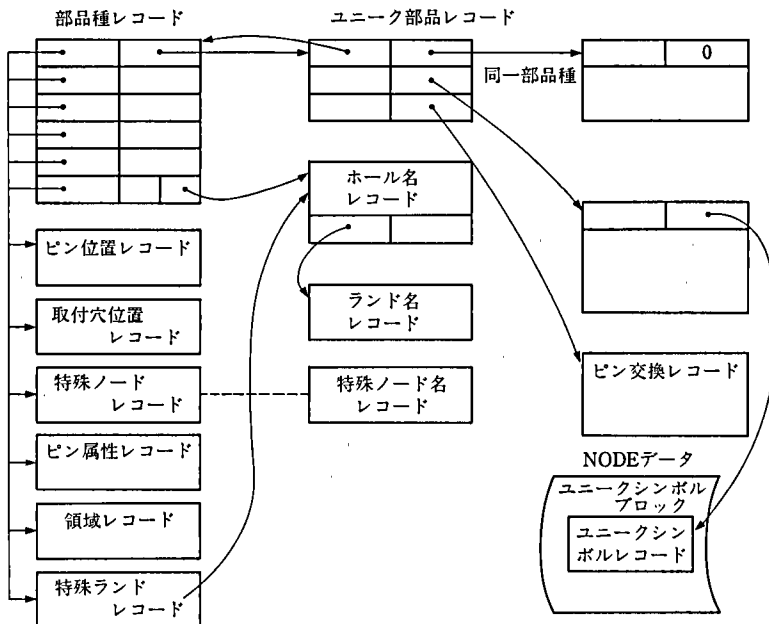


図 12 部品種の詳細構造

Fig. 12 Data structure of parts-type

ガイドなのか、わからないものも多く、LAYOUT に組み込めるようなパターン上の制約として定式化されているものも少ない。

こうした事情もあって、現在は以下の二つの機能のみが実現されている。

- 1) 負荷容量が大きすぎると、波形が鈍ったり、誤動作したり、スピードが遅くなったりする。そのため、設計者への参考として各連結成分の配線長を出力している。
- 2) クロストークノイズを避けるため、指定された長さ以上の平行線およびその平行線長を出力している。

これら以外に効果の期待できるものとして、以下の機能を実現していく予定である。

- 1) 各出力ピンから、各入力ピンまでの配線長を出力する。
- 2) 論理構造やバス構造を反映したレイアウト（部品配置および、配線パターン）を可能にする。これは、論理的に関係の深いものを近接して配置することにより、信号の応答性や、論理図面との対応性を良くするとともに、router の結線率向上を計るためである。
- 3) バスのデータがスキューしないように、バスをそろえて配線し、その配線長を出力する機能。
- 4) 高速クロックライン等のように、他の信号線とのクロストークが心配される信号を、GND ラインでシールドしながら配線する機能。

米国ユニシスには、各種の実験データを基にして定めたデザインガイドがある。われわれも同種のガイドを定め、LAYOUT に組み込んでいきたいと考えている。

以上述べてきたように、動作の安定した基板を作るには、論理設計と基板設計とを統合していく必要がある。3.2.1 項で述べたデータの一貫性ととともに、PWB-CAD ではなく、PCA-CAD が必要な理由である。

3.2.3 実装部品、基板仕様対応性

従来、プリント基板に実装する部品は、ピン間隔が 0.1 インチ (=2.54 mm) の DIP 型部品と相場が決まっていた。そのため、基板上に基本グリッドと呼ばれる 0.1 インチピッチのグリッドを設定し、この基本グリッドを 5 分割程度を最大として、等分割した補助グリッドと呼ばれるグリッド上にパターンを引いていた。この時期が長かったため、ほとんどの CAD は各種のデータをこのグリッド座標値でもっていた。

LAYOUT では、パターンや部品ピンの位置および形状等すべてのデータを mm 単位の実数で持っており、グリッドはあくまでこの実世界の上に張った網とみなしている。基本グリッドや補助グリッドの概念はあるが、基本グリッド間隔もその分割数も任意に設定できる。任意のピンピッチの部品を任意の位置に配置できるし、製造さえ許せば基本グリッド内に 100 本でも 200 本でもパターンを通すことができる。

PPLS-II の時代は 40 ピン DIP の Z 80 程度が最大の部品であった。その後、マイクロプロセッサの高機能化、各種の LSI の普及、ゲートアレイ開発の普及に伴い、PGA (Pin Grid Array) や SMD が普及し、最近では COB (Chip On Board) も一般化しそうな勢いである (図 13)。

LAYOUT はライブラリ定義、両面実装を含めた任意の実装方法、異なるピンピッチの混在、各種の実装部品に対する NC 処理とシステム的にはこれらすべての部品への

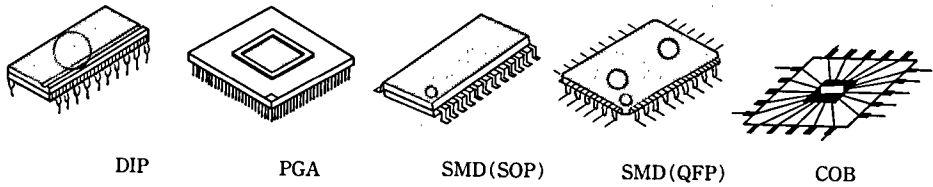


図 13 実装部品の例

Fig. 13 Examples of packaging

対応が可能である。mm 系，インチ系の混在も何ら問題ではない。

図 5 の IVH 仕様の基板にもすべて対応可能である。すべてのホールは何層から何層を貫通しているか、どの層でパターンと接続されているかの情報を持っており、自動配線・手動配線共に自由に配線層を切り換えながら配線できるようになっている。

3.2.4 高密度実装と基板設計期間の短縮

基板設計は人手だと 1 か月前後かかり、CAD だと 1 週間前後ですむ。CAD 化の効果は大きい。しかし実装密度が高くなりすぎると、CAD でも 1 か月近くかかるケースも出てくる。

CAD による設計で時間がかかるのは未結線処理である。未結線が多いと、3.1 節で述べたように部品の再配置⇔router 実行を繰り返す、最後に人手による処理が行われる。未結線を減らすために、実装部品の変更、パターンのファイナ化、配線層の追加が行われることもある。

以上から、適切な期間で高密度基板を設計できるようにするためには、まず第一に router の配線能力向上が重要なポイントであり、未結線処理効率を向上させるためには、配置評価コマンドおよび配置変更コマンドの充実、未結線処理コマンドの充実、が必要である。

- 1) 配線能力向上……自動配線問題は、アルゴリズム上限界があることが理論的に明らかになっている。しかし、われわれは、もちろん現在の技術レベルから言っても理論限界より大分下にいることは明らかであり、まだまだ努力を必要としている。うまい工夫をすると、結線能力は確実に向上するという実績からも、努力-効果曲線が飽和しているとも思えない。プログラミングの対象として、興味の引かれる問題でもある。しかし、ここだけ頑張っていれば道が開かれるというほど、やさしい問題でないことだけは事実である (4.2 節参照)。
- 2) 配置評価コマンドおよび配置変更コマンドの充実……配置評価や配置変更を自動化することは、1) よりさらにむずかしい。これができるということは、部品の自動配置ができることと等価である。世の中に自動配置のアルゴリズムは沢山あり、商品化もされている。しかし、実用に耐える配置は得られず、試行の域を出ていないのも事実であり自動化の展望はない。

しかし、結線率は配置に大きく左右される。設計者と会話しながら、配置の評価や変更を行うコマンドならば、ある程度実現可能だと思われる。その意味でこのコマンド群は、実践的に非常に重要である。不足しているトラック数の表示等、結線率を下げている理由がある程度わかるコマンドを用意してはいるが、あまり

使ってもらえていない。こうしたコマンドは、経験を積み重ねて改良していくしかないことがわかっているだけに残念である。

- 3) 未結線処理コマンドの充実……市販されている CAD システムは、自動配線能力を誇っているものと、会話型未結線処理に重点を置いているものと二つの流派がある。未結線処理は、情報処理学会等でも多くのアイデアが発表されている。しかし、これらは一見使いやすそうに見えても、適用範囲が限られているものが多く、画期的な手段はまだ見つかっていない。

高密度実装を可能にするには、対策 1), 3) が決定的役割を果たす。しかし、エンハンスのサイクルは長くならざるを得ず、実践的には 2) に頼らざるを得ない。

1), 3) のエンハンスサイクルを大きくまわし、経験を蓄積しながら 2) のエンハンスを小さくまわしていきたいと考えている。

3.2.5 設計者への親和性

CAD の使いやすさは、設計効率向上のために不可欠な要件である。また、再設計・流用設計の容易さは、CAD 化の効果をより増大させる。でき上がった基板のデバッグやリワークのしやすさも重要である。

以下に示すのは、LAYOUT システムの対設計者親和性の面での特徴である。

- 1) データエラーの早期検出……designer で入力したパターンは、基板になった時の形とサイズで実寸表示される。プロット図は製造フィルムと完全に一致している。いわば、基板設計をしながら基板の目視検査ができる。

また designer では、すべての入力パターンに対してショート、クリアランス、ループ等のエラー検出をダイナミックに行っている。ショート、ループエラーは 1-action すなわち 0(1) のオーダで検出できるように、また基板上の前後左右のパターンと高速にクリアランスチェックできるように、データ構造が作られており、これらのチェックをしない時とオペレーション上は差がわからない程度のレスポンスが得られている。

- 2) コマンドシンタックス……designer のユーザインタフェースはあまり良いとはいえない。ここで AGS 3000 の制約は大きい。designer は LAYOUT システム全体の指令塔の役目も持っており、テーブル類を入力するコマンドもある。マルチウィンドウやビットマップメモリのブロック転送も欲しい。これらは EWS 等ではあたり前の機能であるが、AGS ではほとんど不可能と言ってよく、ユーザには極めて不評である。

ラインをピックした後、ウィンドウを切り換えるとピックが解除されてしまう等、完全非オブジェクト指向のユーザインタフェースになってしまっているのも問題だと考えている。

- 3) 基板再設計用ツール……バグが発見されたり、設計変更が発生したりすると、基板パターンの変更が必要となる。こうした場合でも、パターンとしての問題もなく、正しく安定して動作していることが確認されているパターンは変えたくない。とくに、高速信号パターンは電気的特性を考慮して設計されたものが多く、そのまま生かしておきたい。

現在の LAYOUT システムでは、論理変更が発生すると全パターンを始めから

設計し直さなければならない。開発中の redesign によれば、生かしたいパターンを残し、変更したいパターンのみを変更することができ、手戻りを最小限に押さえることが期待できる。

基板設計中に論理のバグが見つかり、基板を再設計する時間的余裕がないと、基板設計者は接続関係を画面上で変更してしまう。また、論理設計者が基板と独立に論理を変更してしまう可能性もある。事実、論理とパターンがずれたまま設計情報がリリースされたことがあった。redesign は、論理情報とパターン情報のマッチング機能も持っており、これを活用すれば、こうしたこともなくなることになる。

4. LAYOUT システムの各モジュールの特徴と課題

本章では、LAYOUT システムの中心である LAYOUT/designer と LAYOUT/router を紹介する。

4.1 会話型モジュール LAYOUT/designer

designer の特徴の多くは 3 章で説明したので、本節ではコマンドおよびその実現方法について紹介する。

以下に、メインコマンドとその下のサブコマンドの機能の一覧を示す。

- NEW, OLD, SAVE ; ファイルの入出力
- WINDOW, SCROLL ; 画面コントロール
- TOP, NEXT, EXIT ; サブコマンドのコントロール
- CANCEL ; 1 オペレーションのキャンセル

BOARD	: 基板仕様の定義 基板外形, 基板原点, 層構成, ミラー層の指示および電源層の設計, ソルダレジスト, エッチング文字, ロケーション文字入力, グリッド, クリアランス設定, 自動配線パターン仕様の設定
DISP	: 表示層切替, 実寸表示指定, 文字情報表示 on/off 等表示モード切り替え
CHECK	: ループ, クリアランス, ショートのダイナミック DRC の on/off
ASSIGN	: 割り付けデータ入力, 手動割り付け, サーキット/ピンのスワップ, ノード変更, ラツツネストや未割り付け状態の表示
PLACE	: 部品配置コマンド 部品の配置, 移動, 削除, コピー, ブロック移動, 一時待避, offset 値入力, 内層ベタ接続モード設定, ユニーク名入力/生成, 配置用の各種の inquire
ROUT	: 配線コマンド 線分, 引き出し線, ペイント領域, プレアサイン線, ホール, 中抜きペイント, 禁止領域の配線, 削除, 移動, コピー, 内層ベタ接続, 自動配線優先配線指示, 未結線表示, 空きトラック表示, 表示ベア層切り替え, 継続表示 on/off, 各種強調表示
UNCNCT	: 結線ベアによる配置評価コマンド ラツツネスト表示, 未結線理由別表示, 部品間結線本数, 使用トラック密度表示, 評価対象結線ベア選択, 選択層の決定, 配置評価領域/方法 (接続, 内部結線, 対外部結線, カットセット) の選択

次にコマンドの設計方法について若干説明しておく。

各コマンドの仕様は図 14 に示すような拡張状態遷移図によって表記されている。

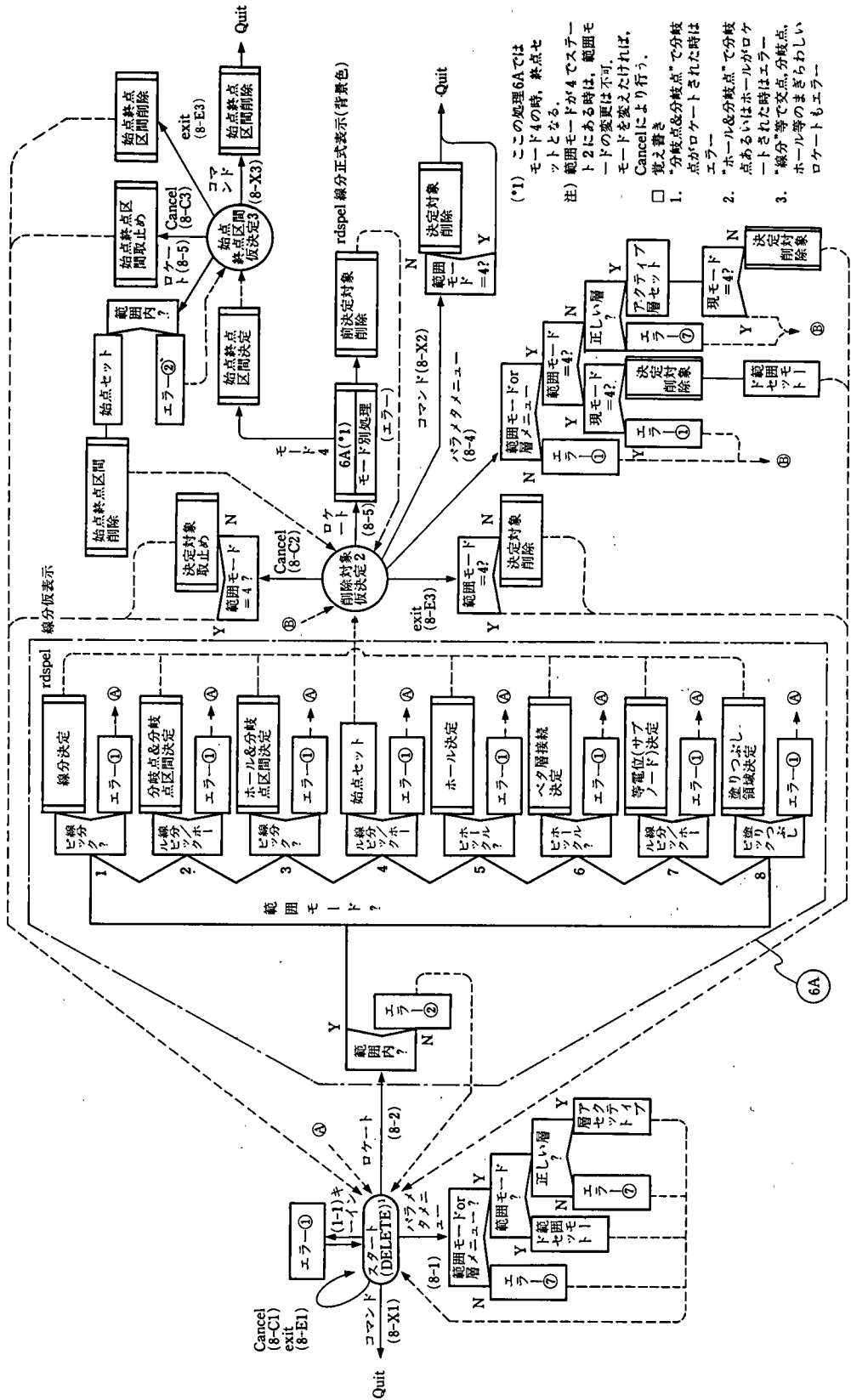


図 14 線分/ホール削除コマンドの状態遷移図
Fig. 14 Transition diagram of line/hole-delete command

この表記法の意義は、ユーザインタフェースを前もってレビューしやすいことと、各コマンドのアクションを相互に独立に設計できる点にある。しかし、ユーザの使い勝手の面では多くの問題を持っており、今後はオブジェクト指向の考え方を導入していくつもりである。

ただしプリント基板 CAD の場合、この考え方で貫けるかどうかいささか疑問な点もあり、コマンド・オリエンテッドなユーザインタフェースとの混合型が必要なようにも思われる。

4.2 自動配線モジュール LAYOUT/router

パターンの 99% は router により自動生成される。その意味で router はパターン設計の中核モジュールである。

- 1) パターン……PLS の時代から、自動配線パターンの評判は極めて悪い。鋭角パターンはオーバエッチングを起こしはがれやすい(図 15(a))、パターンが短かすぎてゴミと間違えやすい(図 15(b))、パターンの部品ピンへの入り方が悪い、遠まわりをし過ぎる(図 15(c)) 等である。最近でこそクレームは少なくなったが、router リリース当時は基板を 1 枚作るたびに心配したものである。

router には、こうしたパターン改良のための、パッチとも言えるコードが多量に存在している。

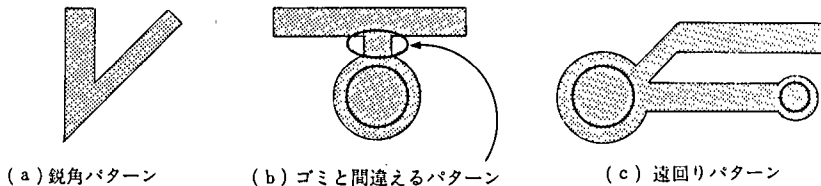


図 15 嫌われるパターン

Fig.15 Disliked pattern

- 2) 配線能力……最近の注文は配線能力である。自動配線問題は計算量理論により、NP-hard (Non-deterministic Polynomial-time hard), すなわち計算量が入力データ n のべき乗 n^k では押さえられない(らしく)、 2^n 並以上にかかることがほぼ確かな問題であることが証明されている。つまり、真に有効な解法は理論的には存在せず(と断言してよく)所詮、近似解しか求められないような問題なのである。

実際は、配線問題はある程度使用に耐える解が求まる問題である。しかし、近似解の宿命で改良の余地が必ず存在する。それは、個々のパターンを見れば歴然としている。

個々のパターンの形が良くないのはもちろん問題である。しかし、より一層深刻なのは他の結線を妨げ、結線率を大幅に下げるパターンを生成してしまうことである。特殊なコネクタが使われた場合等、このようなパターンを多量に作ってしまうことがある。こうした場合は、プログラムを修正しながら基板を設計するはめにおちいる。

以上述べてきたように、パターン上の対応や高密度化対応の機能が、無政府的に追加され続けてきた関係もあって、現在 router 開発後最初の大きな整理を実施中である。

以下、拡張中の機能も含めて router の概要を説明する。

4.2.1 アルゴリズムとデータ構造

router は逐次形の、グリッドをガイドとした線分探索法を基礎としている。さまざまな工夫はしてあるが、基本的には逐次形であり、配線全体を真に最適化するような機能は持っていない。グリッドは単なるガイドであって、パターンはグリッドの上にならなければならないが、そのままではクリアランスを満たしているとは限らないため、クリアランスをチェックしながら配線する。

router の線分探索法は、アルゴリズム上も効率上も大幅に改良されている。距離をコストとした迷路法と同等の配線能力を持っており、うねったパターンや縦横ルールに違反するパターンを生成することもできる(図 16)。さらに、混雑度を考慮することにより、混雑度+距離をコストとした迷路法に近い配線能力を持たせることもできる。

4.2.2 項で述べるが、グリッドをうまく設定することにより、グリッドレスルータのようにクリアランスぎりぎりに配線することもできる。グリッドルータでありながらクリアランスルータでもある。

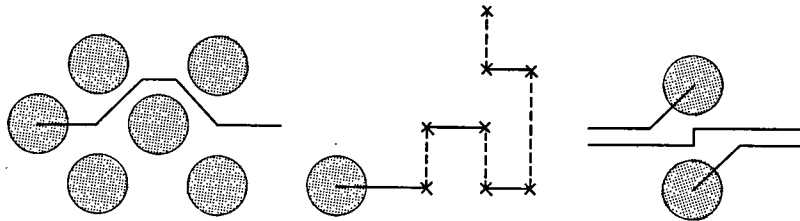


図 16 迷路法的パターン

Fig. 16 Pattern looks like routed by maze-router

router が複雑なパターンを引くようになったとはいえ、各層は縦か横に主たる配線方向が定められている。この特徴を考慮して各層のラインは、図 17 に示す軸リストと呼ぶ片方向リストに登録されている。

図 18(a)の点 P から上下に線をのばすには、 x_p の軸リストを 1 回サーチすればよい。ただし、図 18(b)のように逆方向の線分がある場合は、 y_p をはさんだ上下の軸リストを複数軸検索する必要が出てくる。これが多くなると効率上のネックになる可能性があるが、現在はまだ逆線分の数が少ないため、検索時間が問題になることはない。

この軸リストの検索は、データ構造とプログラムの改良によって大幅に高速化されている。現在はグリッド点での via 可能性をビットマップで持つように改良中であり、これが完成すると従来の 4 倍程度の効率アップとなり、普通の基板なら 30 分前後、大規模な基板でも 1 時間もあれば結線できるようになると思われる。

4.2.2 クリアランスと配線グリッド

router は、各層に指定されたグリッド上をクリアランスを満たしながら配線する。

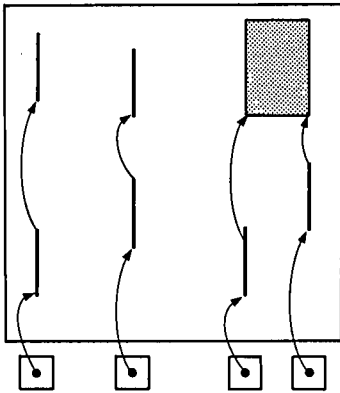
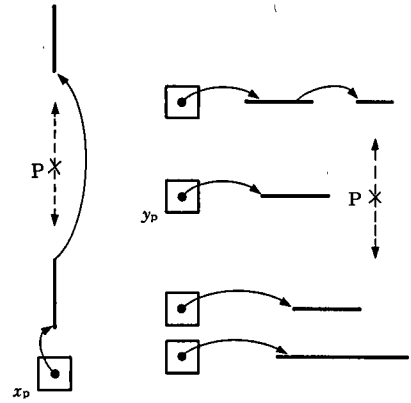


図 17 軸リスト
Fig. 17 Axis-list



(a) 順方向検索 (b) 逆方向検索

図 18 軸リスト検索
Fig. 18 Axis-list and retrieval

グリッドは層ごとに異なっていてもよい。クリアランスは、各層における以下の 6 種類の標準クリアランス、および特定ホールやラインに指定された特殊クリアランスからなる。

- ① ラインーライン
- ② ラインーランド
- ③ ランドーランド
- ④ ドリルーライン
- ⑤ ドリルーランド
- ⑥ ドリルードリル

図 7 (a) に示したように、パターンをファイン化はラインの方が進歩が速く、via に合わせたグリッドを用いると広すぎるし、ラインに合わせたグリッドを用いると狭すぎる。配線グリッドをラインも via も自由に引いてもよいグリッドとしてではなく、単なるガイドとしたのはこのためである。ラインーラインクリアランスを基に配線グリッドを設定するのが通常であるが（この場合隣接グリッド上の via はクリアランス違反を起こしている）、もっと細かいグリッドを設定してもよい。メモリ効率が悪くなるだけで、実行速度はほとんど変わらない。

ガイドとしてのグリッドが層によって異なるのは、2.2 節で述べたように外層と内層ではクリアランスが異なるためである。

router が引く線幅は層ごとに変えることができる。これは、多層板では対 GND 層距離の差によるインピーダンスの違いを線幅で埋める等の目的のためである。

router via は 2 層間を結ぶペア層用 via と、4 層以上にわたってパターンを結ぶペア層間 via がある。via のランドは層ごとに異なっていてもよい。さらに各層のランドは接続用ランドと非接続用ランドを設定できる。非接続用ランドは、パターンを接続しない層ではランドレスにするためのものである。これは、パターンが接続されると接続用ランドに変更される。

この非接続用ランドおよび対ドリルクリアランスは、多層板での結線率を確保するためのもので、基板メーカと議論を重ねた末に考え出した LAYOUT システム独自の概念である。そもそもなぜ内層でのクリアランスが厳しいかという点、2.2 節で述べたようにドリルの内層でのパターンやランドに対する位置精度が相対的に低く、しかも外観検査ではわからないからであった。

図 19(a)では、接続用ランドがクリアランス違反を起こしている様子を示している。しかし、ドリル位置近辺に内層パターンがなければ、問題となるのはドリル同志の重なりだけとなり、これは外観検査で不良が判定できるため問題にならない。図 19(b)は非接続ランドが付いており(すなわち内層はランドレス)、クリアランス違反は起こしていない。従来はこうした場合でも内層にランドを付けていたため、多層板での結線効率が上がらなかったのである。

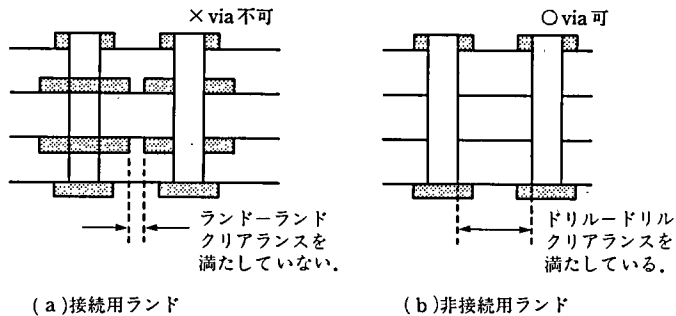


図 19 接続用ランドと非接続用ランド

Fig. 19 Connectable land and unconnectable land

4.2.3 配線能力強化

200 ピン以上の PGA を多用すると、部品周辺に配線が集中して未結線が増える。こうした場合等のために Rip-up 機能が組み込まれている。

配線が部分的に集中する場合は、混雑度平滑化機能を用いると配線集中部を避けたパターンが作れる。混雑度としては、予想混雑度と実績混雑度が用意されている。

信号 4 層以上の基板では、層割り付け機能を用いることになる。この機能により配線密度バランスの非常に良い基板が作れる。

router は、ペア層間 via を用いることにより、4 層以上の層にわたっての自動配線が可能である。またパターンの一部を外層に出すことにより、リワークを容易にする機能を持っている。また対 via クリアランスを満たしていないグリッドを設定された時や、ラインの交差位置に via をあけられない場合を考慮して、via 位置をずらす機能も持っている。これらの機能は、線分探索法の弱点を補うことを目的に導入したものである(図 20)。

以上述べてきたように、router は線分探索法による router としては、限度いっぱいぎりぎりまでつめられたと思っている。

難点は、縦横ルールすなわち基本的には、層ごとにパターンの引く方向が縦か横かに決まっていることである。貫通型のピンが大部分であった頃は、これでも余り問題

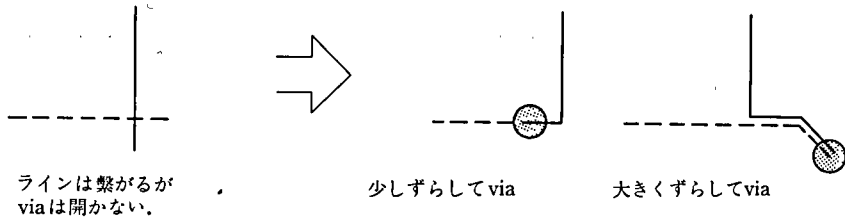


図 20 via 位置をずらす機能
Fig. 20 Float² (floating-floating) via

はなかったが、最近のように SMD (Surface Mount Device—表面実装部品) が実装されたり、貫通型の場合でも縦横のパターン比率が異なる場合は、層の配線可能性に大きな差が出てくる。

これらに対処するためには、グリッドレスルータしかないと思われがちだが、プリント基板は LSI と違って、部品形状・ピン形状が千差万別で、配線領域を矩形の集まりで表現して効率の良いアルゴリズムを作れるとは思えない。グリッドレスルータが万能とは言いがたいのである。チャンネルルータとの混合型が良いように思われるが、今後の課題である。

5. ハードウェア開発トータル CAD の構想

ハードウェア開発トータル CAD の構想を図 21 に示す。これらは大きく、論理設計 CAD、ドラフティングツール、基板設計 CAD の三つに分けられる。本章では、論理設計とドラフティングの CAD 化構想について述べる。

5.1 論理設計支援

- 1) 論理設計用の DRC……論理設計用の DRC は、論理図情報の論理素子と端子属性と結線状況をいわばシンタックス的に検証するものであり、バグによる手戻りを減らすための方策である。設計ノウハウの蓄積、民主化の面での効果も期待できる。ハードウェアのデバッグ時間を引き延ばすものは、論理的というよりは特殊状況下で現象論的に追いつめるよりしかたがないものが多い。エキスパートシステム導入による効果も期待できそうである。
- 2) 論理シミュレーション……論理シミュレータを自在にこなせる体制と普及が直面する課題としてまずあげられる。ゲートアレイを開発する場合等、AND/OR 等の基本回路を多量に使って機能を実現する場合や、データのケース分けが膨大な場合はシミュレーションが不可欠である。しかし豊富な機能素子を組み合わせた論理の場合、タイミングチャートによる検証はいささか問題がある。機能表現レベルでの検証なり、ソフトウェアによる検証なりをしたい。
- 3) 実チップシミュレータとシミュレーションエンジン……ハードウェアデバッグは、通常 DVR (Design Verification Routine) と呼ばれるデバッグ用プログラムによって行われる。この DVR をシミュレーションで実行できるようになれば、デバッグの前倒しが可能になる。マイクロプロセッサ等の LSI を含んだ回路をシミュレーションするには、LSI のモデルも作らなければならないし、シミュレーショ

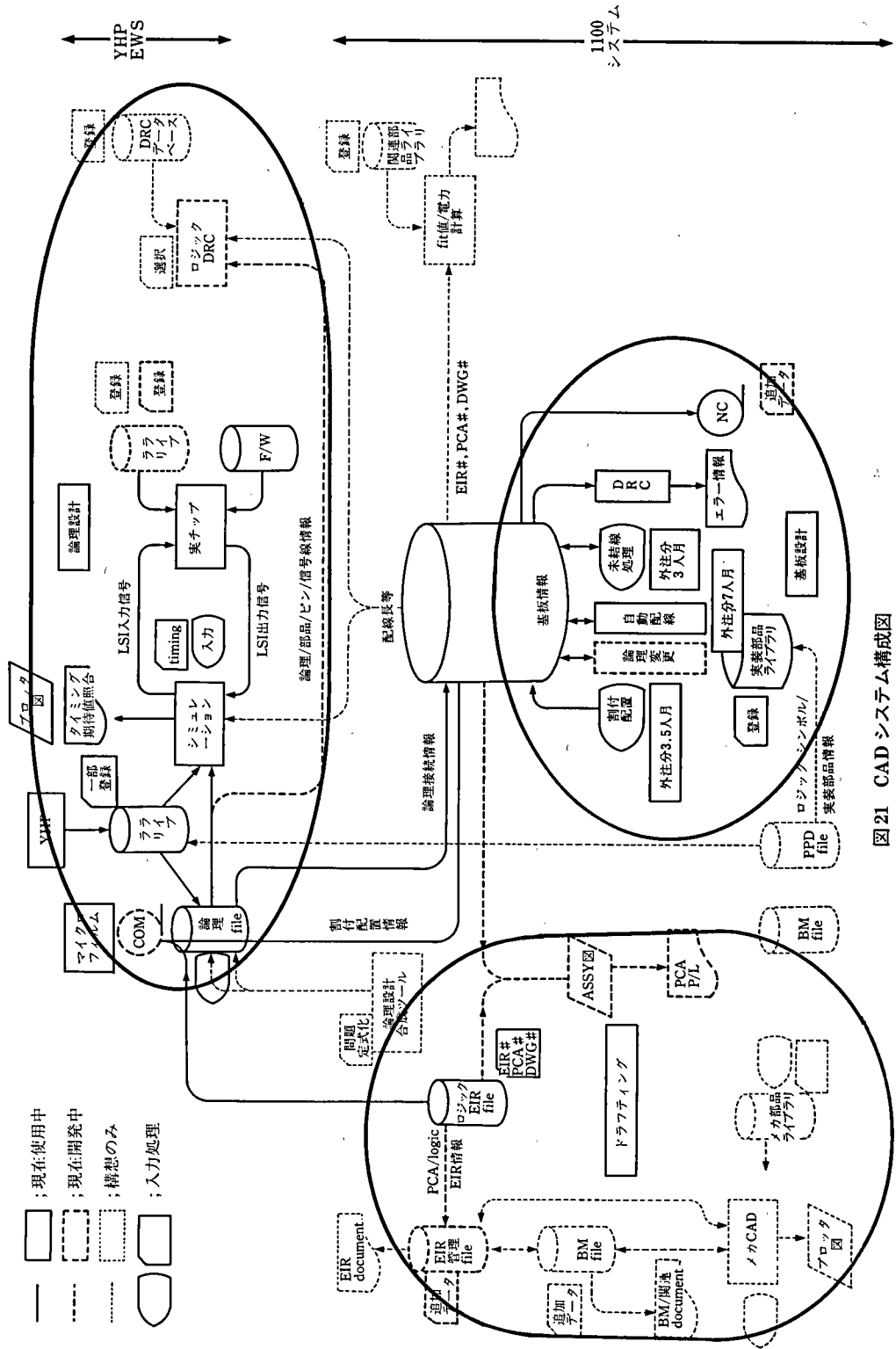


図 21 CAD システム構成図

Fig. 21 Structure of total CAD system

ン時間も膨大になってしまう。これをカバーするために、LSI だけは本物のチップを使ってシミュレーションしようとして考えられたのが、実チップシミュレータである。

また最近では、機能記述されたモデルを扱えるシミュレーションエンジンが出てきた。論理情報を膨大な量の LCA (Logic Cell Array—PAL のようなもので、論理をダウンラインロードできるチップ) に落として、シミュレーションするかわりに、LCA 上で機能検証するものも出てきている。

こうした手段が一般的に使えるようになると、ハードウェアをソフトウェアのようにデバッグするようになるかもしれない。

- 4) 仕様記述……以上はすべて設計検証用の道具である。検証項目の設定は依然として人の仕事である。検証項目は仕様から決まるものであり、仕様が明確でないかぎり検証項目の妥当性は不明である。仕様がうまい形で記述できれば、検証項目やタイミングチャートを自動生成することも可能になる。論理図を読めない人に仕様を詳しくわかってもらうことも可能になるかもしれない。

最近ハードウェア仕様記述言語の研究が進み、IEEE のスタンダードも設定された。これらを使ったアーキテクチャ設計用のツール等も世の中に出てきている。ハードウェア屋は言語が嫌いと言語が決まっており、普及はそう楽ではないだろうが、状態遷移図やペトリネット等で補強すれば、使ってもらえる可能性はある。ハードウェアはアプリケーション・ソフトウェアのように複雑ではないので、形式的仕様記述が実用化されるのもそう遠くないと思われる。

5.2 ドキュメンテーション

3.2.1 項に述べたように、ハードウェアにおける図面は極めて重要な意味を持っている。

- 1) パーツリスト出力……KDF には、基板の正確な外形形状、実装部品のすべてのデータが含まれている。製造情報としては、実装部品のリスト、部品としての基板の機械図面、部品配置図をあるルールに基づいて出力する必要がある。これらをパーツリストと呼ぶ。パーツリスト出力は、LAYOUT システムとして長年の懸案事項であるがまだ実現できていない。
- 2) 部品ライブラリ……使用するすべての部品には、UNISYS parts No. が付けられており、図面が必ず付属している。これを、PPD ((Purchased Parts Drawing—推奨購入部品)) と呼ぶ。新しい部品を使う場合は、PPD 登録が義務付けられている。この PPD と CAD 部品ライブラリを接続していく必要がある。
- 3) EIR (Engineering Information Release)……ここで、“I” は主に図面である。プリント基板 CAD が基板に関するほとんどのデータを持っているにもかかわらず、EIR は人手で行う部分がかかり残っている。現在は、KDF も実質的に EIR 対象になっており、EIR 管理用のツールが必要になっている。

6. お わ り に

プリント基板は、機械的・熱的・電氣的・化学的処理を受ける。もちろん回路そのものでもあり、極めて複合的な“物”である。

しかし2.2節の層ずれのところで触れたように、設計にしても、製造にしても実に経験的な分野なのである。

なぜ問題のない基板が作られているかという点、結局のところ過去に作った経験があるからにすぎない。理屈らしいものもなくはないが、その理屈が正しいとすれば、今作られている事実と矛盾する。そんな程度の理屈である。プリント基板の教科書にしても経験そのものでしかない。

これは、基板仕様をCADに都合の良いものに変えてみよう（この態度は正しかったと思っている）、基板メーカを片端からまわって議論した時の印象である。この時に作った仕様が図6(c)の6分割ピン3仕様である。

LAYOUTシステムは現在開発中のシステムである。完成時には再度紹介したいと考えている。

執筆者紹介 上 谷 彊 輔(Kyousuke Kamiya)

昭和18年生、45年東京大学理学系研究科修士課程数学専攻修了、47年日本ユニシス(株)入社。応用ソフトウェア部技術計算グループにおいて、非線形構造解析に従事。現在、マイクロプロダクト本部ハードウェア開発二部CAD開発課に所属。



拡張トランザクション処理アーキテクチャ

XTPA—Extended Transaction Processing Architecture

榎 山 汎

要 約 XTPA は、オンラインシステムの処理能力拡大を目的とするが、フォルト・トレランスも合わせ持つ。複数のホストがデータベースを共用し、並列にトランザクションを処理する構造なので、ホスト数を増加することによって、より高い処理能力とフォルト・トレランスが得られる。本稿では、既存のフォルト・トレラント・システム (Fault tolerant system) の分類と比較を試み、大規模データベースを対象とした場合、XTPA が優れている点を論じる。

今日の航空業界のコンピュータ・システムは、年率数十パーセント以上の伸びに対応できる柔軟な処理能力の拡張性と、高い信頼性を必要としている。1989年6月にA社において本番を開始したXTPAは、処理能力と信頼性の面で設計目標を満たす威力を発揮している。

今後XTPAは機能拡張され、UDS (Universal Data System) のデータベース・モデルも対象とする予定であり、応用範囲はさらに拡がると期待される。XTPAは汎用コンピュータで実現されているため、ユーザに蓄積されている業務処理ソフトウェア群をXTPAに容易に移行できる点に、大きな意義が認められる。

Abstract XTPA is designed to primarily help extend processing capability for an online transaction-processing system. And it also provides an equally important feature—fault tolerance. In the case of XTPA where multiple hosts share a large database and process transactions in parallel, the larger the number of hosts is, the greater the processing capability becomes and the higher the system's resilience grows.

This paper classifies and compares various implemented fault-tolerant systems, and discusses XTPA advantages in a large-scale database environment.

Computer systems in today's airline industry seek flexible systems expandability and high reliability responsive to an annual growth of data volume by dozens of percent.

The XTPA on which production runs started at A company in June, 1989 has lived up to the designed expectations in terms of efficiency and resiliency.

Further XTPA enhancement is planned so as to make it possible to support the UDS database model for widened coverage of application areas including banking and securities sectors.

A great benefit is seen in that XTPA's availability on a general-purpose mainframe computer allows user application software to easily run on an XTPA-based fault-tolerant system without users wasting their past software investment.

1. はじめに

コンピュータ・システムは集中と分散、すなわちメインフレームとワークステーションへの二極分化が進んでいる。メインフレームは大規模データベースと大量のトランザクション処理を特徴とし、これを支援する基本ソフトウェアと業務処理ソフトウェアに支えられた総合能力が過去より蓄積されている。その基盤上に、第三次オンラ

インシステムや戦略情報システムも稼働し始め、情報処理システムの高度利用技術による差別化が企業間で熾烈となってきた。

一方では、これらのシステムには高い信頼性と処理能力の柔軟な拡張性が求められている。1989年6月にA社において本番稼働を開始したXTPAは、この二つの要求を同時に実現したコンピュータ技術として評価された。

2. フォルト・トレラント・システム

コンピュータ・システムは社会生活や産業基盤の一角として、われわれの日常生活に深くかかわっている。銀行業務、証券業務、公共業務、製造業務、流通業務、運輸業務等を支えるオンラインシステムが、全国、全世界規模で稼働している。ネットワークも大規模となり、システム当たり数万台の端末機が接続され、24時間365日の稼働をしている例もある。コンピュータ・システムの異常停止は、社会に大きな混乱と経済的損失をもたらす、企業の信用の失望に繋がる場合もあり、厳しい目が向けられている。

高信頼性の実現方法として、一般的にはホットスタンバイ方式が普及しているが、さらに高度な方式として、フォルト・トレラント・システムがある。ホットスタンバイ方式では異常停止時のホストの切り換えに数分間を必要とし、その間処理がいったん停止するが、フォルト・トレラント・システムでは一瞬たりとも停止しないで処理を継続することができる。

フォルト・トレラント・システムの考え方は、コンピュータ・システムを構成するハードウェアとソフトウェアおよび人間の操作は、どこかで不具合が発生するものという原点に立つものである。すなわち「形あるものは皆壊れる」という考えや、エントロピー増大の法則に従う立場である。そこで、あらかじめすべてを冗長構成にしておき、部分的な不具合の発生による全体停止を避ける方式である。

今日の数千万ステップから成る業務処理プログラムと、基本ソフトウェアから完全に不具合をなくすことは困難である。その上、ソフトウェア開発は止むことなく続けられるためソフトウェアが完全無欠な状態に到達し、定常化することを期待するのは無理であろう。とは言っても本番使用のソフトウェアにおいて不具合が発生する確率はハードウェアと同様にそれほど大きなものではない。したがって、ハードウェアに冗長性をもたすと同様に、ソフトウェアも多重化し、ソフトウェアにも冗長性を持たせればよい。

ホストを多重化することにより、ソフトウェアも多重化され冗長性が実現できることになる。同じく、ホストの多重化により、人間の誤操作に対しても冗長性が得られる。不具合の影響範囲を最大でもホスト内に閉じ込めれば、ホストの多重化によりソフトウェアを人間の操作に対しても、フォルト・トレランスが得られるという考えである。

2.1 コンピュータ・システムの冗長構成方式

コンピュータ・システムの冗長構成方式は、大きく密結合方式（タイトリ・カップルド方式）と疎結合方式（ルーズリ・カップルド方式）に分けられる。疎結合方式はデータベースの所有形態によりさらに、①データベース冗長型疎結合方式、②データ

ベース分割型疎結合方式, ③データベース共用型疎結合方式, ④データベース共用型クローズリ・カップルド方式, に分類される^{[1][2]}。

フォルト・トレラント・システムを実現するのにも, この分類に従った二つの潮流がある。高信頼設計ハードウェアを追求する流れ(ハードウェア指向型)と, ホストを冗長構成にする流れ(ソフトウェア指向型)であり, 各々密結合方式と疎結合方式が対応する。これらは相容れないものではなく, 両方の流れを取り入れることが望ましい。

ハードウェア指向型は, ハードウェアの冗長構成をすべてのサブシステムに採用し, 高信頼性を実現させている。密結合方式では, 従来から主記憶装置を多重化するのがむずかしく, フォルト・トレラント構成上の弱点の一つであった。しかし最近ではハードウェア素子の小型化・省エネ化・高信頼化が進み, また比較的安価になったため主記憶装置の二重化も実現されるようになった。

ソフトウェア指向型は, 疎結合されたホストを多重化するため, 各種オーバーヘッドが発生し, 処理効率上の問題を抱えてきた。しかし最近では, ホスト間に高速バスや不揮発性メモリ, レコードロック専用プロセッサ等を採用することにより, 効率上の問題は克服されつつある。

各種制御用コンピュータや交換機等とは異なり, オンラインシステムのフォルト・トレランスの実現では, 冗長性を構成する各ホスト間でのデータベースの所有形態が設計の要点となる。所有形態には, 冗長型, 分割型および共用型がある。

XTPA はデータベース共用型疎結合方式に属するが, ホスト間でのデータベース並列処理には, レコードロック・プロセッサ (RLP) という専用プロセッサを採用し, 処理能力を向上させている。XTPA は密結合方式と同じデータベース共用型であり, 密結合方式と疎結合方式の中間の結合度を持つ点から, クローズリ・カップルド方式と呼ばれる。

- 1) 密結合システム……複数のプロセッサと多重化された主記憶装置, 大容量記憶装置および単一のソフトウェアから構成される。ハードウェアには冗長性があるが, ソフトウェアと人間の誤操作に関連する不具合に対しては, 冗長性において疎結合方式に劣る (図1)。

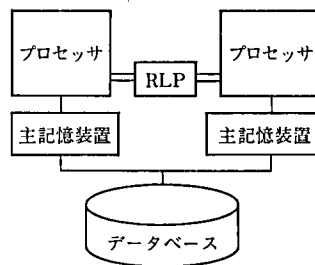


図1 密結合システム

Fig.1 Tightly coupled system

- 2) データベース冗長型疎結合システム……独立した複数のホストが, 各々同一のデータベースコピーを持ち, 同時に同一のトランザクション処理を並列処理しながら結果を照合するシステムである (図2)。

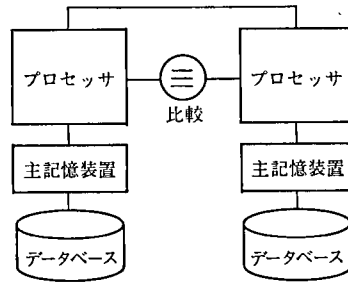


図2 データベース冗長型疎結合システム

Fig. 2 Redundant database type loosely coupled system

冗長性には優れているが、実現性と価格性能比に難点がある。たとえば、1秒当たり数百件の座席予約を処理する冗長構成された各ホストの処理結果を常に同一にするためには、各処理ステップでの処理順をホスト間で同期する必要がある。そうしないと、予約席番号が一致しないことが発生しうる。ところが、この処理同期化のためのホスト間通信に関連するオーバーヘッドを低減化するのが難問である。また停止した一つのシステムを復旧する場合、他システムを停止しないでデータベースと内部処理状態を同期させ、稼働を再開するのもむずかしい点である。さらに言えば、ホスト数は3個であることが望ましく、複雑化と高価格化は避けられない。

- 3) データベース分割型疎結合システム……独立した複数のホストが、一つのデータベースを分割所有し、トランザクションを並列に処理するシステムである(図3)。自ホスト内にないデータは、他ホストに参照と更新を要求する方式であり、ホスト間で相互にデータベースサーバの役割を持つことになる。ホスト内のプロセッサは二重化され、故障時には待機プロセッサが最新のチェックポイントから処理を再開することができる冗長性を持っている。チェックポイント機能やホスト間データ授受、および分散コミットプロトコルにともなう高いオーバーヘッドを低減するために、プロセッサ間には高速バスを採用している。しかしデータベースをホスト間に分割する配置の仕方を変えれば、ホスト間通信にともなうオーバーヘッド量も変化し、システムの処理能力に影響を与えることになる。

ホスト数の増加にともない、データベース分割数も増加するため、オーバーハ

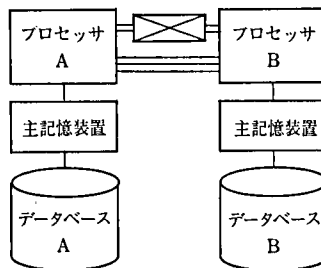


図3 データベース分割型疎結合システム

Fig. 3 Divided database type loosely coupled system

ッドを少なくするための配置設計がさらに重要となる。

- 4) データベース共用型疎結合システム……独立した複数のホストがデータベースを共用し、トランザクションを並列に処理するシステムであり、冗長性に富んでいる(図4)。データベースのホスト間ロックの実現方法は種々考案されている。磁気ディスク装置の制御装置にロック機構を付加する方式や、チャンネル間結合装置を通じてホスト間でソフトウェアによるロック制御を行う方式がある。しかし制御装置によるロック方式では、デッドロック探知やロックの階層構造を効率よく扱えない(たとえば、レコードのロックとファイルのロック)。

チャンネル間結合装置を用いる方式は、オーバヘッドが大きく、大量トランザクション処理には向かない。

さらに両方式とも、各トランザクションの処理順序を知るためにホスト間通信を必要とし、そのためにオーバヘッドが追加される。

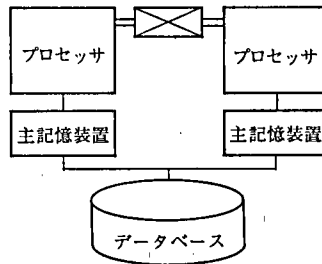


図4 データベース共用型疎結合システム

Fig. 4 Shared database type loosely coupled system

- 5) クローズリ・カップルド・システム……データベース共用型疎結合方式に属するシステムである。ホスト間のデータベースのロックには、RLPを採用し処理効率と機能の向上を実現している。RLP自体もフォルト・トレラント設計がなされていて、システム全体として優れた冗長性を持つ(図5)。

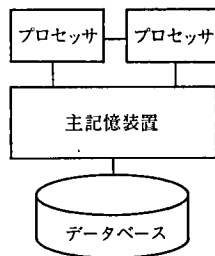


図5 クローズリ・カップルド・システム

Fig. 5 Closely coupled system

2.2 システムの処理能力拡張性

オンライン・トランザクション処理(OLTP)システムは、トランザクションの伸び率が年平均30~40%と報告されている^[9]。ちなみに第三次オンラインでは、第二次オ

ンラインと比べて、トランザクション量が2～3倍と言われ、時間当たり100万件、秒当たり300件の処理能力が必要とされている。また5年後のコンピュータ利用投資規模は、各社平均で現在の2倍強と調査されている^[4]。ある場合には1年後に新業務をのせるため、トランザクション処理量が一挙に倍増することも発生する。このためシステム処理能力の拡張性が重要視されており、この点についても前述の分類に従って比較を試みる。

- 1) 密結合方式では、プロセッサ数を増加することにより処理能力を上げることができる。
- 2) データベース冗長型疎結合方式での処理能力の向上は、より性能の良いコンピュータの採用に頼る他はない。
- 3) データベース分割型疎結合方式では、ホスト数の上限には十分な余裕があるが、ホスト数の増加はデータベースの再分割を必要とする。これにともなうオーバーヘッドの増大を押さえるためには、データベース配置を最適化する必要がある。
- 4) データベース共用型疎結合方式は、ホスト数の増加に比例してのホスト間通信にかかるオーバーヘッドも増加する。

たとえば1ホストが増加するごとに、自ホストの処理能力がオーバーヘッドのために1.0から0.8に減るとすれば、2ホストの総合処理能力は2.0ではなく1.6となる。ホスト数がさらに増加すれば、ホスト間通信のオーバーヘッドも比例して増加し、総合処理能力の伸びは鈍化する。効率改善のためにホスト間ロックの成立条件として、全員一致方式の代りに多数決方式を採用することも考えられる。多数決方式とは過半数のホストからロックの許可を取りつければ、ホスト間ロックが成立したとする方式であり、残りのホストとは通信をする必要がないのでオーバーヘッドを減じることができる。

図6に1ホスト追加ごとの1ホストの処理能力の低減率 d を0.2とした場合の、ホスト数の増加と総合処理能力の増加の関係を示す。多数決方式でもホスト数の増加に対して総合処理能力がリニアには増加せず、やはり頭打ち現象が発生することがわかる。

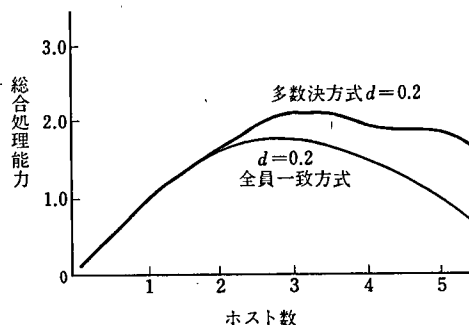


図6 疎結合方式の処理能力

Fig. 6 Hosts vs capacity (LCS)

- 5) クローズリ・カップルド方式は疎結合方式の一種ではあるが、専用プロセッサ

の採用により、ホスト間通信は必要としない。したがってホスト数が増加しても通信オーバーヘッドは増加せず、ホスト数に比例した総合処理能力の増加をもたらす。また性能の良い専用プロセッサの採用によって、データベース共用に関連するオーバーヘッドを低減でき、1ホストの処理能力の低下率を0.1程度に押さえることが可能である(図7)。またデータベース共用型のため、ホスト数が増加しても、データベースの再配置は必要としない柔軟な拡張性を持つ。

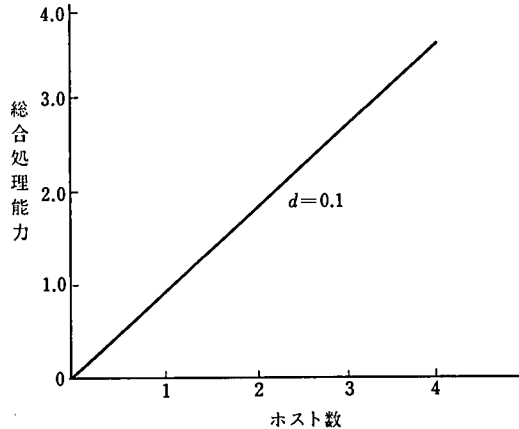


図7 クローズリ・カップルド方式の処理能力
Fig. 7 Hosts vs capacity (CCS)

2.3 フォルト・トレラント・システムの要件

フォルト・トレラント・システムを評価するために、これまでに

- 1) ハードウェア、ソフトウェアおよび人間の操作における冗長性
- 2) データベースの所有形態
- 3) システム処理能力の拡張性

といった点から比較をした。しかしながら実際に業務処理システムを開発する立場から言えば、フォルト・トレラント・システムの持つ開発環境の良否、支援ソフトウェアの豊富さ、ノウハウの蓄積量等も評価の対象となる。業務処理ソフトウェアの開発に使用する言語がアセンブラに限られる例もあるが、生産性や拡張性、品質要員確保の面からは望ましくない。

さらに、現在までに投資されてきた業務処理ソフトウェアの資産を有効に利用できるかどうか重要な評価対象となる。これらの点から言えば、フォルト・トレラント・システムは汎用コンピュータで構成できるのが望ましい。

クローズリ・カップルド方式を採用した XTPA の特徴を以下にまとめる。

- 1) 疎結合方式のために、ハードウェア障害のみならずソフトウェアの障害や人間の誤操作に対しても冗長構成となっている。
- 2) データベース共用型のためデータベースの分割の必要がない。
- 3) ホスト間ロックには専用プロセッサを採用しているため、処理効率の向上、デッドロック探知および多様なロックへの対応ができる。
- 4) ホストの追加により処理能力は柔軟に拡張できる。

- 5) 汎用コンピュータによるフォルト・トレラント・システムである。
- 6) 各ホストは RLP と通信するだけなので、アプリケーション・ソフトウェアの設計と製作においては複数ホストを意識しなくてよい。これは single system view と呼ばれる重要な点である。また RLP との通信をする部分は、基本ソフトウェアの中にあり、アプリケーション・プログラムは RLP の存在を意識しなくてもよい。

3. BIG MIPPER システム

本章では、XTPA の実現形態である BIG MIPPER システムについて説明する(図 8)。

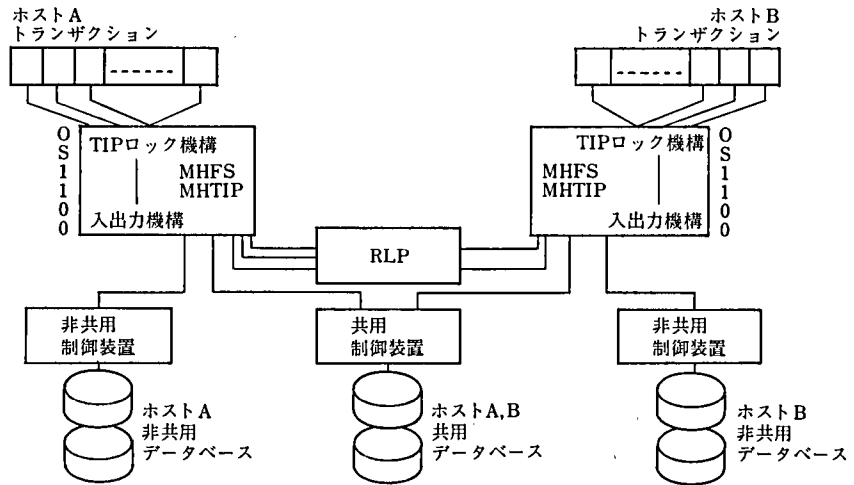


図8 BIG MIPPER システム

Fig. 8 BIG MIPPER system

BIG MIPPER とは、“MIPS (秒当たり命令実行数：単位 100 万)を拡大するもの”を意味する新造語である。

BIG MIPPER システムは次に示す要素から構成される。

- 1) レコードロック・プロセッサ (RLP)
- 2) 複数ホストファイル共用機能 (MHFS)
- 3) 複数ホスト TIP 機能 (MHTIP)
- 4) 複数ホスト統合回復機能 (MHIR)

BIG MIPPER システムは最大 4 ホストで構成されるが、説明を簡略化するため以降では 2 ホスト構成を例とする。

3.1 レコードロック・プロセッサ

レコードロック・プロセッサ (RLP) は、複数のホストがデータベースを共用する時に、各ホストからのロック要求を調整する役割を持つ。また、複数ホスト間でのロック要求のデッドロック探知と、トランザクション処理順序を示すコミット順序番号の発番、およびホスト間通信の中継の役割も持つ。

RLP は 4 個のロックモジュール、2 個のチャンネルモジュールおよび 1 個の保守モジュールからなり、8 個のチャンネルインタフェースを持つ(図 9)。また、保守モジュールは別に 1 個のチャンネルインタフェースを持ち、ホストと接続する。

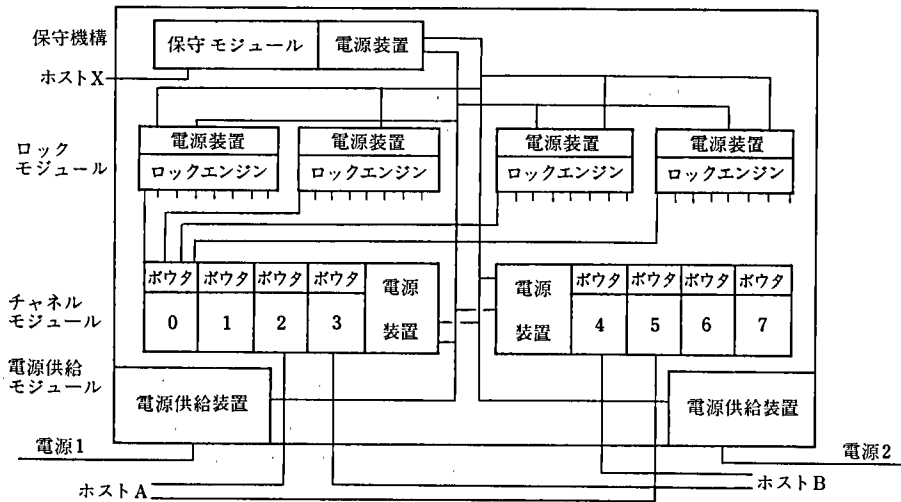


図9 レコードロック・プロセッサ

Fig.9 Record lock processor

RLP は BIG MIPPER システムの中に 1 個だけ存在し、常に使用可能でなければならない。したがって RLP 自身も冗長構成となっており、故障が発生した時も稼働を中断しないで保守が可能な設計になっている。

- 1) 電源装置と冷却装置……独立した 2 個の主電源装置を内蔵し、二系統の電源に接続できる冗長性を持たせている。2 個のチャンネルモジュール、4 個のロックモジュールおよび保守モジュールも各々独立した電源装置と冷却装置を持つ。
- 2) チャンネルモジュール…… 2 個のチャンネルモジュールが各々 4 個のチャンネルインタフェースを持ち、4 個のホストに対して各々正副 2 個のチャンネル接続ができる。
- 3) ロックモジュール……ホストからのロック要求は、チャンネルインタフェースから 4 個のロックモジュールに送られ同時に処理される。そのうち、1 個のロックモジュールは待機モジュールである。残りの 3 個のロックモジュールでのロック要求に対する判定結果は、チャンネルインタフェース内のボウタに戻される。ボウタでは、多数決方式で結果が総合判定され、ホストに回答が返される。この方式は、TMR (Triple Module Redundancy) と呼ばれているものである。なお、ボウタを各チャンネルインタフェースにそれぞれ置くことにより、ボウタ自身にも冗長性を持たせている。
- 4) 保守モジュール…… 3 個のロックモジュールのうち、1 個のモジュールが他と異なる処理結果を返したとき、そのモジュールは異常であると判断され、待機モジュールにただちに取って代わられる。異常のモジュールは、保守モジュールを

通じてホストからオンラインで診断される。故障したモジュールは修理後、待機モジュールとして復旧し、ロック要求の受け付けを開始する。これら一連の修復作業は RLP の稼働を中断することなく行うことができ、ホットメンテナンスと呼ばれている。

5) RLP の機能

① ロック処理

OS 1100 (シリーズ 2200/1100 の OS) のオンライン処理で用いられる FCSS (File Control Super Structure) ファイルのロック処理を行う。レコードロック、ファイルロックおよびメンテナンスロックの 3 種類がある。ホストから要求してきたロックが成立しなければ、要求は RLP 内で待たされる。先行のロックが解放され、ロック権が確保できた時に遅延回答メッセージがホストに返される。

② デッドロック探知

ロック要求が待ち状態に入ると、一定時間後に WFGE (Wait-For-Graph Expression) を用いたデッドロック探索が行われる。探知された場合は、デッドロックを構成するサイクルの保有者の中から一つのプロセス (犠牲者) を選び出し処理を中止させる。

③ コミット順序番号の発番

BIG MIPPER システムを構成するホストは、各々独立に保有する履歴ファイルを更新する。各々のホスト内でのトランザクション処理順序は、各ホストごとの更新履歴ファイルを順に読むことにより判明するが、全ホスト内での処理順序は、RLP が生成するコミット順序番号に頼らないと判明しない。コミット順序番号は、更新履歴ファイルのデータブロックを書き出すたびに RLP で発番され記入される。

④ ホスト間通信機能

ホスト間でメッセージ交信ができる機能で、1対1および1対 n (同報機能) がある。

3.2 複数ホストファイル共用機能の拡張

複数ホストファイル共用機能には 2 種類あり、MHFSF (Multi Host File Sharing Facility)- I / MHFSF-II として商品化されている。MHFSF-II は MHFSF- I の機能拡張版であり、下記の改善がなされている。

- 1) 複数ホストからの共用中でも、任意の時点でファイルの登録、拡張、縮小および削除ができる。
- 2) ファイル単位の排他割り当てが、複数ホスト間でも有効である。
- 3) レコード単位の排他読み出しが、複数ホスト間でも有効である。

オンライン処理システムと待機システムが、磁気ディスク装置を共用している場合、MHFSF- I はオンライン処理終了後でないでファイルの登録や削除ができなかったが、MHFSF-II によりこの不便さは解消された。また、複数ホスト間でのファイルの排他使用も、使用者プログラムが特別な工夫をしなくてもすむようになった。

BIG MIPPER システムに対応するために、MHFSF-II にはさらに次の機能が付加

された。

- 4) 共用ファイルのハードウェア障害情報を即時に他ホストに同報し、更新の対象から外されたレコード領域が誤って読み出されることを回避する。

3.3 複数ホスト TIP 機能

オンライン・トランザクション処理を支援する TIP (Transaction Interface Package) 機能に、以下の拡張が行われた。

- 1) ホスト間ロック機能……共用データベースを処理するプログラムからのレコードやファイルに対するロック要求は、RLP によって処理される。
- 2) 主記憶領域ファイル更新同期機能……ホストが各々の主記憶装置内に磁気ディスク・ファイルのコピーを常駐させ、主記憶領域ファイルとして高速アクセスを可能にする機能である(図 10)。レコードの更新があると、他ホストに対し各々の主記憶領域内の該当レコードを磁気ディスク・ファイルより読み直しさせる命令が、RLP のホスト間同報機能を通じて伝えられる。

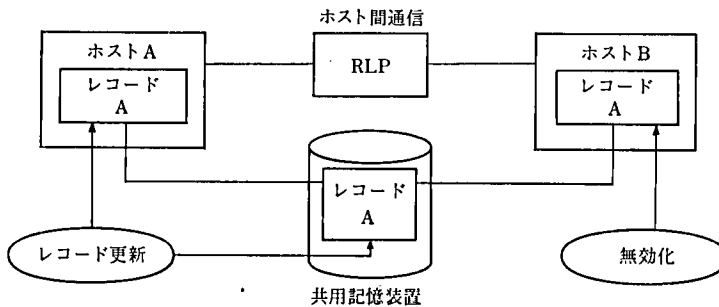


図 10 主記憶領域レコード無効化

Fig. 10 Invalidation of records in memory

- 3) その他……RLP のロック機能と同報機能を用いて、以下の機能が追加された。
 - ・フリースペースファイルのレコード割り当て/解放の複数ホスト間制御
 - ・業務処理プログラム置換のホスト間同期
 - ・TIP スケジューリングのホスト間同期
 - ・FCSS ファイル状況変更のホスト間同期

3.4 複数ホスト統合リカバリ機能

複数ホストがデータベースを共用し、並行にデータ更新や回復を可能にするため、次のような拡張が加えられた。

- 1) ショート・リカバリ機能……一つのホストが障害で停止した後の再立ち上げ時には停止直前に更新中であったレコードに対し、更新履歴ファイルからの回復処理(ロールフォワードまたはロールバック)が必要である。更新中のレコードに対しては、RLP 内でロックがかかっているため、他ホストからは参照禁止状態で該当レコードの回復処理が行われる。回復処理が終了すれば、該当レコードのロックは解除される。
- 2) ミディアム・リカバリ機能……一つのホストが障害で停止し、再立ち上げが難

行する場合、他のホストから障害ホストの更新履歴ファイルを用いて、障害発生時に更新中であったレコードの回復処理を行うことができる。ホスト障害からの再立ち上げが難行するかどうかは、一般には予測できないため、ホスト障害回復法としてメディアム・リカバリを標準にしておくことも考えられる（図 11）。

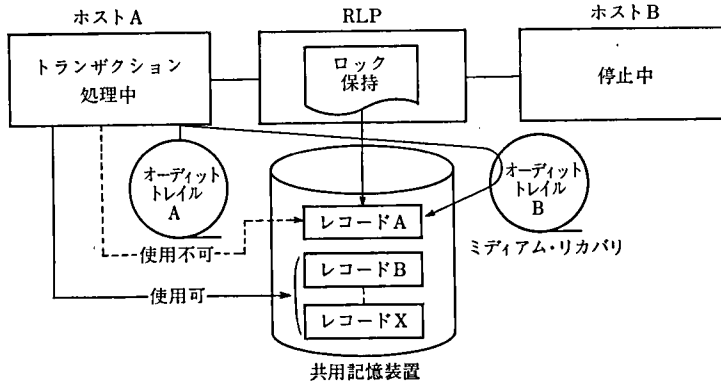


図 11 ミディアム・リカバリ

Fig. 11 Medium recovery.

- 3) ロング・リカバリ機能……ロング・リカバリは、データベースが磁気ディスク障害等でファイルが破壊された場合に必要となる回復措置である。最新のバックアップ・テープより再作成されたデータベースに対し、更新履歴ファイル上の更新ログを時系列順に反映し最新状態にする。更新履歴ファイルは、各ホストが独立に作成するため複数存在するが、その中の更新ログの時系列順位は、RLP で発番されログの中に書き込まれたコミット順序番号により決定される。

4. 適用事例

A 社の実データベース、実トランザクションおよび実際の処理プログラムを用いてシミュレーションをし、BIG MIPPER システム（図 12）上で効率測定を行った。ホストの処理能力低減率として 0.1 程度が確認されている。

1989 年 6 月の本番稼働開始以来、夏と冬のピーク時期のトランザクション処理において期待された処理能力を発揮した。またトランザクション処理のボトルネックとなりやすい更新履歴ファイルは各ホストごとに持たれるため、出力データ量がホスト当たりでは半減するという副効果も得られている。秒当たり数 100 件のトランザクションを処理するシステムでは重要な点である。

フォルト・トレラント・システムとしても、本番以来設計通りの効果が得られている。ハードウェアもソフトウェアも比較的安定しているためフォルト・トレランスの実証をする機会が少なかったが、24 時間 365 日稼働の本番システムでの計画停止時に確認がされている。RLP のフォルト・トレランスとホットメンテナンスに関しては、本番前の操作習熟時期に厳しい想定テストを繰り返し、設計目標が実現されていることを確認している。また、航空座席予約や搭乗手続き等を処理する膨大な業務処理ソ

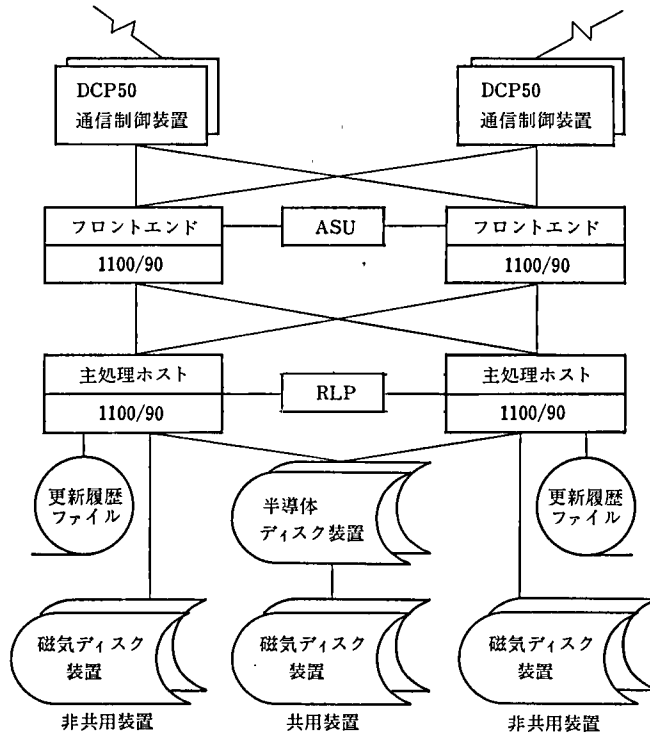


図 12 BIG MIPPER システム

Fig. 12 BIG MIPPER system

ソフトウェア群を BIG MIPPER に移行する時に、プログラムの改造がほとんど不要であった点も重要な利点である。なお A 社における適用事例の詳細については、文献^[6]を参照していただきたい。

5. おわりに

BIG MIPPER は今後も機能拡張が予定されており、次のリリースでは、UDS データベースも RLP によるロックの対象となる。これにより、複数ホストにより共用できるデータベースモデルの種類が増え、各種業務処理での応用範囲が格段に広がると期待される。

次期メインフレームによる BIG MIPPER 構成は、秒当たり数千件のトランザクション処理を可能とする MIPS が実現されるであろう。それには、入出力装置系の性能を上げる必要があり、この面での研究と開発が要請される。

また、BIG MIPPER システムは、更新履歴ファイルをホストごとに分散して保有するため、ロギングでのボトルネックの発生を押さえることができる点で優れているが、さらに将来の処理量の増加に備え、ロギングの量を少なくするための検討も要請される。これらがすべて実現されれば、汎用システムによるフォルト・トレラント・システムとして確固たる地位を築くことになるであろう。

最後に、BIG MIPPER システムの実現に向けて、限りない情熱を燃やされた A 社、米国ユニシス社および当社の関係各位の御協力と御支援に深く感謝する次第である。

-
- 参考文献 [1] 計算機システム技術専門委員会, コンピュータシステムの高信頼化技術に関する調査, 日本電子工業振興協会, 60-C-503, 1985年3月.
- [2] コンピュータシステムの高信頼化対策技術調査委員会, コンピュータシステムの高信頼化対策技術訪米ミッション報告書, 日本規格協会, 1985年10月.
- [3] システム高信頼化技術調査研究委員会, システムの高信頼性技術に関する調査研究(電子応用システム), 日本規格協会, 1989年3月.
- [4] 日経コンピュータ, 金融機関に革命をもたらす第3次オンラインいよいよ本番, 1987年10月12日.
- [5] 日本情報処理開発協会, 情報化白書1989, 1989年5月.
- [6] 中島崑, 全日空総合旅客システムableシステム概要と開発マネジメント, 技報, Vol. 9, No. 3, 日本ユニシス, 1989年11月.

執筆者紹介 榎山 汎 (Hiroshi Kashiya)
昭和19年生. 44年京都大学理学部卒業. 同年日本ユニシス(株)入社. OS 1100の開発と保守業務に従事. 現在システム・プロダクト本部 ソフトウェア一部に所属.



BTOS のアーキテクチャ

The Architecture of BTOS

荒井 俊雄

要約 BTOS は、米国 Unisys 社製ワークステーション(日本では NW² シリーズ)のオペレーティング・システムで、リアルタイム処理、マルチプログラミング、マルチプロセス、分散処理等の特徴を備えている。本稿では、この BTOS のアーキテクチャについて解説する。

BTOS のアーキテクチャで、最も基本となるのはプロセスとプロセス間通信の考え方である。そこで、まず最初にプロセスの概念とプロセス間通信について解説するとともに、プロセスのスケジューリング・アルゴリズムについて説明する。さらに、アプリケーション・プログラムが BTOS の機能呼び出すためのプロセス間通信を簡略化したリクエスト機能と、プロセス間通信を異なったワークステーション上のプロセス同士で行うワークステーション間通信の実現手法について解説する。

Abstract BTOS is operating system for Unisys workstations, and provides excellent performance in real-time processing, multi-programming, multi-processing and distributed processing environments. This paper details the basics of BTOS architecture.

The most fundamental BTOS concepts are of process and inter-process communications mechanism. So the first description is on what 'process' stands for and how communications are executed between processes, and also on process scheduling algorithm. Then, described are both the request function as a simplified version of inter-process-communications, which enables application programs to have access to BTOS core functions, and the way of implementing inter-workstation-communications, which make possible inter-process communications on different workstations.

1. はじめに

BTOS は、米国 Unisys 社製ワークステーション(日本では NW² シリーズ)用のオペレーティング・システムである。

BTOS の最初のバージョンは、1980 年代始めに Convergent Technologies 社* によって開発された(CT 社での製品名は CTOS)。その後、マルチタスク機能やネットワーク機能等を追加し、1987 年(日本では 1989 年)に、Intel 社製 CPU 80286/80386** のプロテクト・モードが利用できるバージョン——BTOS II が発表された。

本稿では、BTOS の基本的な構成要素とその動作を説明することにより、内部アーキテクチャを解説する。なお、2 章では BTOS の機能と本稿を読むに当たって必要な BTOS の概念について解説する。

本稿は、Intel 社製 CPU のアドレッシングについて既知であることを想定しており、BTOS 特有と思われる用語や概念(文中ではこれらを“ ”で囲み明記する)についてだけ説明する。なお、本稿でいう BTOS とは、プロテクト・モード対応の〈BTOS II〉のことをさす。

* Convergent Technologies 社：1988 年に米国 Unisys 社が吸収し、現在 Network Computing Group の一部である。
** 80286/80386：米国インテル社の登録商標。

2. BTOS の概要

本章では、BTOS がどのようなオペレーティング・システムであるのかについて述べるため、まず BTOS の機能を紹介する。さらに、次章以降を読み進めるために必要な「BTOS のメモリ管理」と「システム・サービス」について説明する。

2.1 BTOS の機能

BTOS は、次のような機能を備えている。

- 1) リアルタイム処理
- 2) マルチプログラミング
- 3) マルチプロセス
- 4) 分散処理

次に、これら四つの機能について解説を加える。

2.1.1 リアルタイム処理

BTOS はリアルタイム OS である。イベント駆動型優先順位方式のスケジューリングを用いることにより、システムにイベントが発生した時点で、① 即時に、② 必要な処理を、③ その優先順位に従い、実行することができる。

2.1.2 マルチプログラミング

BTOS は、複数のプログラムを同時に実行することができ、これを“マルチプログラミング”と呼ぶ。同時に実行しているプログラムは同期をとり、互いに通信しあうことができる。

また、複数のプログラム間でプリンタやディスク等の資源を共有するために、BTOS は共用できるシステム資源に対しては共用制御を、共用できない資源に対しては排他制御を行う。

2.1.3 マルチプロセス

BTOS では、一つのプログラム内で複数のプロセス(3.1 節参照)を実行することができる。この機能を“マルチプロセス”と呼ぶ。これらのプロセスは、メッセージの送受信により互いに通信することができる。BTOS 自身も各種のシステム資源を管理し、メッセージによって通信しあうプロセスにより成り立っている。

2.1.4 分散処理

BTOS は分散型の OS である。BTOS ワークステーション(以下、WS という)は、専用のケーブル(クラスタ・ケーブル)により他の WS と接続することができる。接続された WS は、通信チャネルを経由して互いに通信する(これを“クラスタリング”という)ことができる。また、B-Net と呼ばれる通信プログラムにより、広域のネットワークを構築することも可能である。

これらの通信回線によって接続された WS 間では、資源を共有することができ、さらに他の WS 上で実行されているプログラムに対して、処理を依頼し、その返答を受け取ることができる。

ユーザは、実行している処理が他の WS で実行されているか否かについて意識する必要はない。また、他の WS に処理を依頼する、あるいは処理を依頼されるプログラムを作る場合でも、プログラマは通信チャネルを経由するための処理を付加する必要はない。

2.2 マルチプログラミングのためのメモリ管理

BTOS は、マルチプログラミングを支援するために、メモリをいくつかの“パーティション”と呼ばれる領域に分けて管理する。プログラムは、このパーティションの中で処理を実行する。すなわちパーティションは、あるプログラムに割り当てられる（プログラムを実行するための）メモリ領域である。パーティションは、作成時に“利用者番号”と呼ばれるシステムで一意的な 16 ビット整数が割り当てられ、これにより識別される。

パーティションには二つのタイプがある。一つは、BTOS 自身やシステム・サービス（2.3 節参照）を実行するためのもので、“システム・パーティション”と呼ぶ。もう一つはアプリケーション・プログラムを実行するためのもので、“アプリケーション・パーティション”と呼ぶ。システム起動時のメモリ編成を図 1(a) に示す。

アプリケーション・パーティションのうち、システムの起動時に作成され、ディスプレイとキーボードを占有するパーティションをとくに“プライマリ・パーティション”と呼ぶ。そして、このプライマリ・パーティションで実行されているプログラム（これをプライマリ・タスクという）が唯一他のアプリケーション・パーティションを作成することができる。

プライマリ・タスクによって作成されたパーティションを、“セカンダリ・パーティション”と呼ぶ。プライマリ・タスクは作成したセカンダリ・パーティションに対して、任意の実行ファイルをロードし起動することができる。図 1(b) は、一つのセカンダリ・パーティションが作成された時のメモリの編成である。

以上の仕組みにより、複数のプログラムを同時に実行することはできるが、プライ

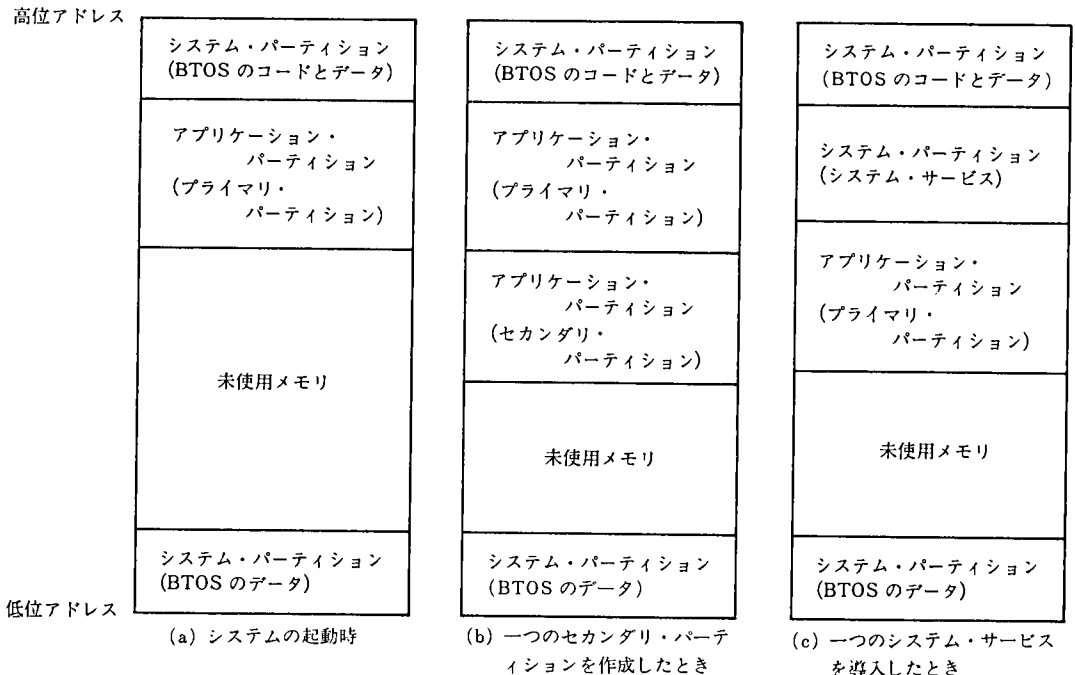


図 1 システムのメモリ編成

Fig. 1 Memory organization

マリ・パーティションがディスプレイとキーボードを占有するため、ユーザと対話するプログラムを複数同時に実行することができない。これを解決するため、コンテキスト・マネージャというパーティション管理プログラムが用意されている。コンテキスト・マネージャはプライマリ・タスクとして実行され、ディスプレイとキーボードを管理する。ユーザと対話するプログラムはセカンダリ・パーティションで実行されるが、コンテキスト・マネージャを通してディスプレイとキーボードを利用することができる。

2.3 システム・サービス

システム・サービス*とは、BTOSの起動後に動的に導入され、任意のアプリケーション・プログラムに対して何らかの機能を提供するプログラムである。ユーザは、BTOSに機能を追加するために“システム・サービス”を用いことができる。システム・サービスは、他のプログラムからの要求を受け取り、それに応える手続きを備えていればユーザの書いたプログラムであってもよい。一般的なシステム・サービス・プログラムの処理の流れを図2に示す。

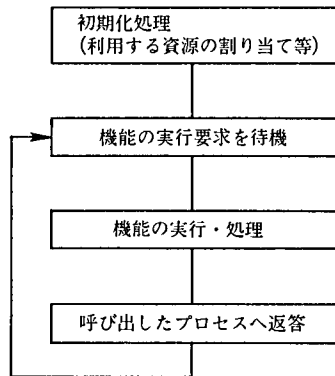


図2 一般的なシステム・サービスの処理の流れ

Fig.2 System service program model

アプリケーション・プログラムから見れば、システム・サービスはBTOSの一部である。システム・サービスの利用者は、その機能をBTOSの機能を利用するのと同じ方法で利用することができる。

システム・サービスの導入は、アプリケーション・プログラムを<システムへ移行する>ことによって行われる。すなわち、アプリケーション・パーティションをシステム・パーティションとすることにより**、そのアプリケーション・パーティションで実行されているプログラムがシステム・サービスとなる。ただし、セカンダリ・パーティションがない状態で、プライマリ・タスクだけがシステムへ移行することができる。図1(c)は、一つのシステム・サービスを導入した時のメモリ編成である。

システム・サービスの利点は、BTOS自身に修正を加えないでBTOSの機能を追加できる(追加したように見せかけられる)ことである。たとえば、システムに新しく

* システム・サービス：BTOSでは、ISAM やスプーラ等の機能がシステム・サービスとして提供されている。

** ConvertToSys 命令を用いて行う。

周辺装置を付け加える場合、その周辺装置のドライバ部分をシステム・サービスにすると、その周辺装置を一元的に管理し、複数の利用者に対して同じインタフェースで機能を提供することができる。このように、システム・サービスはシステム資源を管理するプログラムに向いている。

3. BTOS の構成要素

本章では、BTOS を形成している基本的な要素とその動作について解説する。

3.1 プロセス

プロセスは BTOS にとって最も基本となる概念である。プロセスとは、BTOS がプログラムに CPU 時間を割り当てるための基本単位であり、CPU が実行する一連の命令である。プロセスは、これまでの経過を保持するスタックと現在の実行位置を必ず持っている。

BTOS は、すべてのプロセスに対して PCB* を作成し、これによって管理する。PCB は BTOS の構造体で、プロセスに関する次のような情報を保持している。

- 1) 状態
- 2) 優先順位
- 3) デフォルト・エクスチェンジ (後述)
- 4) 利用者番号 (このプロセスの所有者を参照するため)
- 5) 実行環境

3.1.1 プロセスの状態

プロセスは次の三つの状態のうちの一つの状態になる。

- 1) 実行状態 (Running)
- 2) 実行可能状態 (Ready)
- 3) 待機状態 (Waiting)

実行可能状態にあるプロセスとは、実際に CPU 時間が割り当てられ処理を実行している状態にあるプロセスのことである。ある時点で実行状態になるプロセスは一つだけである。

実行状態のプロセスは、いつでも処理を実行できる状態にあり、CPU 時間が割り当てられるのを待っているプロセスのことである。すべての実行可能状態にあるプロセ

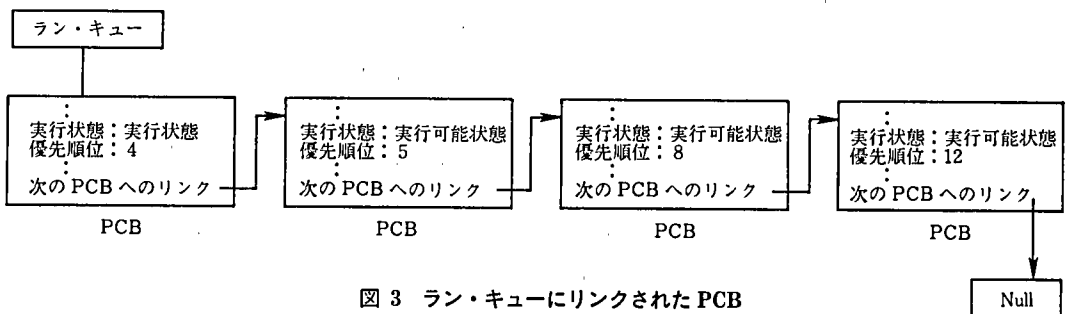


図 3 ラン・キューにリンクされた PCB

Fig. 3 PCB linked at run queue

* PCB: Process Control Block, プロセスを制御するための構造体。

スの PCB はラン・キューと呼ばれるキュー（待行列）に優先順位に従ってリンクされる（図 3）。このラン・キューの先頭のプロセス（実行可能状態にあるすべてのプロセスのうち一番優先順位の高いプロセス）が実行状態というわけである。

待機状態のプロセスとは、実行を再開するためにメッセージ（3.2 節参照）を受け取る必要がある状態をさす。

プロセスはまた一時停止状態(Suspended)にもなりえる。実行可能状態か待機状態にあるプロセスは、どちらかの状態と合わせて一時停止状態になることができる。しかし、実行可能状態でありかつ中断状態にあるプロセスは、たとえラン・キューの先頭に位置する時でも実行状態にはなりえない。

3.1.2 プロセスの優先順位

プロセスの優先順位は最高 0 から最低 254 の範囲内の値で、プロセスの作成時に指定する（値が小さいほど優先順位は高い）。優先順位はプロセスの用途によって表 1 のように分けられている。

表 1 プロセスの種類による優先順位の割り当て
Table 1 Process priorities

優先順位	用途
0～9	BTOSオペレーティング・システムのプロセス
10～64	システム・サービスのプロセス
65～254	アプリケーション・プログラムのプロセス
255	空プロセス

3.1.3 プロセスの実行環境

プロセスの実行環境とは、プロセスを実行するために必要な情報のことで、CPU レジスタの内容と関係する他のハードウェア・レジスタ*の内容からなっている。

i80186 対応の BTOS では、すべての CPU レジスタの内容はスタックに積まれ、そこへのスタック・ポインタがプロセス制御ブロックに保持されていた。しかし、BTOS II では、i80286/i80386 の特徴を生かし、タスク状態セグメント(TSS)に CPU レジスタの内容を格納し、その TSS へのポインタが PCB に保持される。

3.2 プロセス間通信

BTOS は、異なるプロセス間でメッセージの送受信を行う機能を提供しており、これを“プロセス間通信”と呼ぶ。このプロセス間通信は、BTOS の最も基本的なくしくみである。また、プログラムが BTOS の機能呼び出す時はプロセス間通信を用いて要求を出し、返答を受け取る**。

プロセス間通信は、実際の「郵便」とよく似ている。郵便は、差出人が郵便物をポストに投函すると受取人の家の郵便受けに届けられる。プロセス間通信では、郵便物に該当するものを“メッセージ”と呼び、郵便受けに該当するものを“エクステンジ”と呼ぶ。すなわち、あるプロセスがメッセージを送信すると、そのメッセージは指定

* ハードウェア・レジスタ：NW²シリーズでは、X バス拡張アドレス・レジスタ(EAR)がこれに当たる。

** BTOS は一般的な記法（たとえば、CALL OpenFile(パラメタ…)のような）で書かれた機能呼び出しをプロセス間通信を用いた手続に変換する。このため、プログラマはプロセス間通信を意識しない一般的な記法でも BTOS の機能呼び出しを行える。

されたエクステンジを経由して相手のプロセスに届けられる。

ここで注意しなければならないのは、あるプロセスから送信されるメッセージは直接受信側のプロセスに送られるのではなく、受信側のプロセスが用意したエクステンジに送られることである。このため、受信側のプロセスは、必要に応じてメッセージがエクステンジに届けられているかどうかを調べ、エクステンジでメッセージが届けられるのを待つことも、メッセージが届けられていなければ他の処理を実行することもできる。

実際のプログラムで行うプロセス間通信には、次の三つの基本命令(BTOS のカーネルにより実行される)を用いる。

- ① Send 命令：指定されたエクステンジにメッセージを送る。
- ② Wait 命令：エクステンジでメッセージが届けられるのを待つ。
- ③ Check 命令：エクステンジにメッセージが届けられているか否かを調べ、届けられていなければ次の処理を行う。

次に、プロセス間通信の重要な構成要素であるメッセージとエクステンジについて解説する。

3.2.1 メッセージ

メッセージの実体は 32 ビットのデータである。通常、メッセージはプロセス間通信によって送受信されるデータのアドレスを指し示すポインタである。実際のデータは送信されないので注意が必要である。

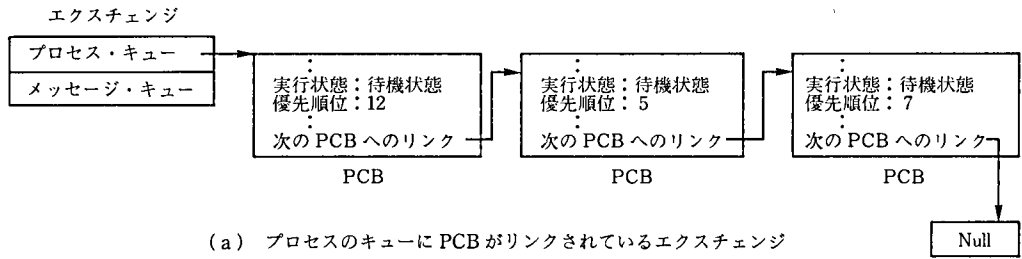
このため、①受信側のプロセスもこのポインタ値によってデータを参照でき、②受信側のプロセスがそのデータの処理を終了するまでデータを破壊しないようにしなければ、メッセージは正確に送受信されない。

3.2.2 エクステンジ

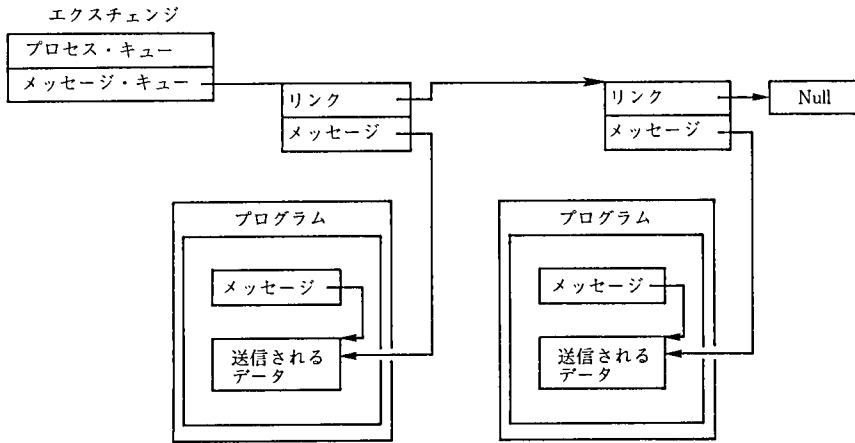
エクステンジは BTOS のシステム資源であり、BTOS への命令により動的に割り当て/開放される。割り当てられたエクステンジにはシステム内で一意の 16 ビット整数の識別番号が割り当てられ、開放されるまでこの識別番号により参照される。

エクステンジは二つのキューでできている。一つは、エクステンジに届けられるメッセージのキューであり、もう一つはエクステンジでメッセージの到着を待っているプロセスのキューである(図4)。この二つのキューにより、エクステンジは次のような動作をする。

- 1) メッセージの到着を待っているプロセスがない(プロセスのキューが空である)エクステンジにメッセージが到着した場合、そのメッセージはメッセージのキューの最後に入れられる。
- 2) メッセージが到着していない(メッセージのキューが空である)エクステンジに対してプロセスが Wait 命令によりメッセージを受け取ろうとした場合、そのプロセスは、その優先順位に関わらず、プロセスのキューの最後に入れられる。
- 3) プロセスのキューで一つ以上のプロセスがメッセージの到着を待っているエクステンジにメッセージが送られた場合、そのメッセージはプロセスのキューの先頭に入っているプロセスに渡される。
- 4) メッセージのキューに一つ以上のメッセージが入っているエクステンジに対



(a) プロセスのキューに PCB がリンクされているエクスチェンジ



(b) メッセージのキューにメッセージがリンクされているエクスチェンジ

図 4 エクスチェンジ

Fig. 4 Exchange

して、プロセスが Wait 命令を実行した場合、メッセージのキューの先頭にあるメッセージがそのプロセスに渡される。

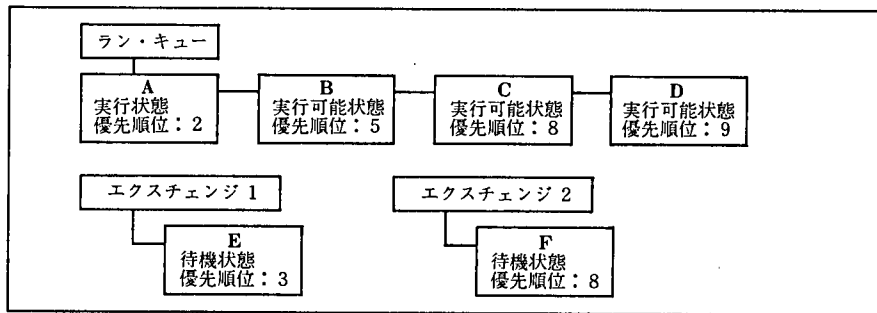
このため、エクスチェンジの両方のキューが空でない状態は起こらない。

3.3 スケジューリング・アルゴリズム

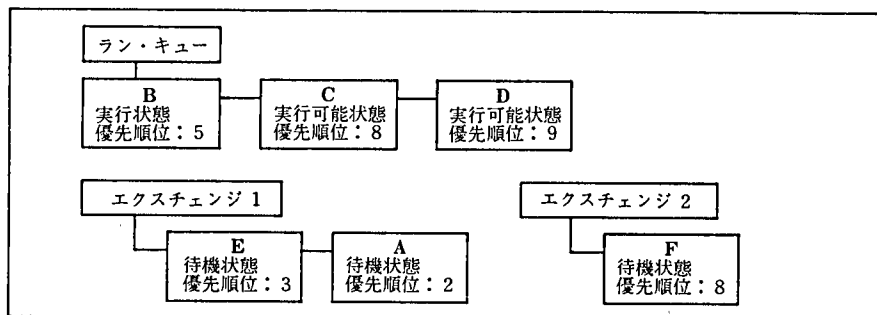
次に、BTOS がリアルタイム処理を実現するためのスケジューリング・アルゴリズムについて解説する。BTOS のスケジューリング・アルゴリズムをひとことと言うと“イベント駆動型優先順位方式”である。

このスケジューリング・アルゴリズムはプロセス間通信と密接に関わっている。プロセスが処理を続行するために何らかのメッセージを受け取る必要が生じたために Wait 命令を実行したが、該当するエクスチェンジにはまだメッセージが届けられていない場合、そのプロセスの状態は実行状態から待機状態へと遷移する。この時点で実行中のプロセスはラン・キューから離され、ラン・キューの次のプロセスが実行状態となる。図 5(a) の状態からプロセス A が Wait 命令を実行すると、図 5(b) のようにプロセス A が待機状態になり、プロセス B が実行中となる。

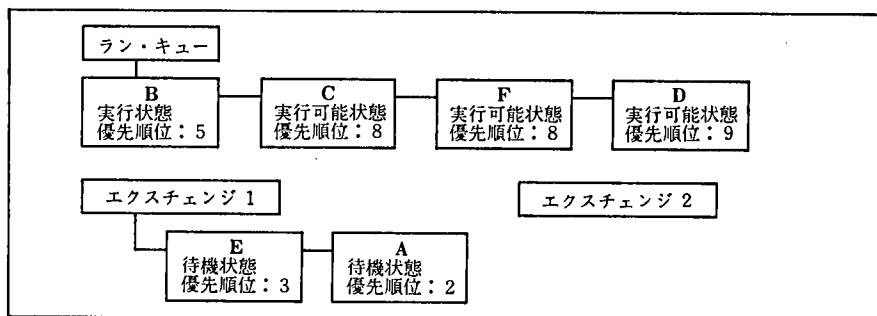
待機中のプロセスは、メッセージを受け取ると実行可能状態へと変わり、ラン・キューの中のそのプロセス以上の優先順位を持つプロセスの後（そのプロセスより低い優先順位を持つプロセスの前）に挿入される。図 5(c) では、プロセス F はメッセージを受け取り、プロセス F の PCB がラン・キューのプロセス C とプロセス D の間に挿



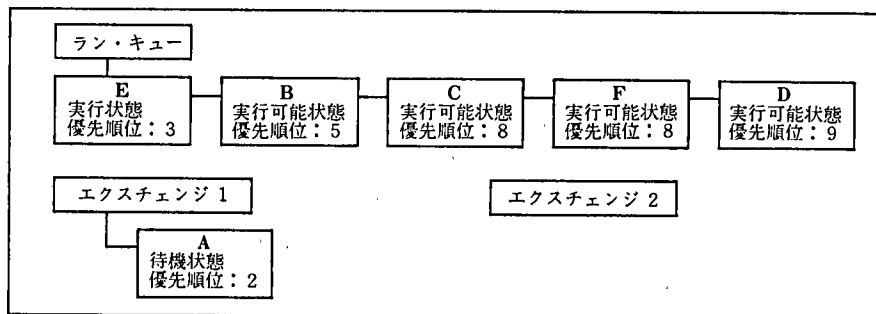
(a)



(b)



(c)



(d)

図 5 スケジューリング例

Fig. 5 Example of scheduling algorithm

入されている。

現在、実行状態にあるプロセスよりも優先順位の高いプロセスがメッセージを受け取ると、そのプロセスはラン・キューの先頭に挿入され実行中のプロセスとなる。図 5(d)では、プロセス E がメッセージを受け取り、実行中プロセスになった。

実行状態にあるプロセスが、メッセージを受け取るために Wait 命令を実行し、該当するエクステンジにメッセージが届けられていた場合は、そのプロセスはメッセージを受け取り、引き続き実行状態となる。

以上のアルゴリズムを要約すると次のようになる。

- 1) 実行中のプロセスが Wait 命令を発行した場合、あるいは、Send 命令によりプロセスが待っているエクステンジにメッセージを送信した場合、関係するプロセスは状態が遷移し、ラン・キューの内容も変化する。
- 2) 変化したラン・キューにリンクされているプロセスをその優先順位の高い順に並べ直す (再スケジューリング)。
- 3) 2)の結果、ラン・キューの先頭にあるプロセスに CPU 時間を割り当てる。

このように、プロセスのスイッチング (CPU 時間の割り当てが他のプロセスに変わる) は、メッセージの送受信というイベントにより引き起こされる*。

このようなアルゴリズムを採用した結果、あるプロセスは自発的にメッセージを待つことにより CPU 時間を放棄しないかぎり、それ以下の優先順位を持つプロセスに CPU 時間を取られることはない。しかし、同じ優先順位を持つプロセスに対して、均等に CPU 時間を割り当てることもできない。そこで BTOS は、実行状態のプロセスと同じ優先順位を持つ実行可能状態のプロセスに対し、ラウンドロビン方式のスケジューリングを行い、順番に 100 msec ずつ CPU 時間を割り当てる。しかし、ラウンドロビン方式のスケジューリングはリアルタイム処理のスケジューリング・アルゴリズムには不適當なため、アプリケーションレベルの優先順位を持つプロセスにのみ適用され、システムのプロセスには適用されない。

4. リクエスト機能

プロセス間通信を行う場合に問題となるのは、送信側のプロセスは受信側のプロセスが利用するエクステンジの識別番号を知っていなければならないことである。もし、送受信を行う二つのプロセスが同じプログラムのプロセスであれば、このことは、たいした問題ではない。しかし、違うプログラムのプロセス同士がプロセス間通信を行う場合、相手のプロセスが利用するエクステンジの識別番号を調べることは大変手間のかかることである。とくにこの問題は、頻繁に利用される機能を提供するプロセス (BTOS やシステム・サービス等) に対してメッセージを送る場合、プログラムの大きな負担となる。

このため BTOS では他のプログラムのために、ある機能を提供するプログラムに対して、その機能を利用するプログラムが機能の実行要求を簡単にできるようにするため、リクエストという考え方をを用いている。(以下、ある機能を提供するプログラムを

* 周辺装置からの割り込みも当然プロセスのスイッチングを引き起こすが、割り込み手続はここではプロセスと考えない。通常、割り込みによってあるプロセスを実行状態にしたい場合は、その割り込み手続がメッセージの送信を行う。

サーバといい、その機能を利用するプログラムをクライアントという)。

リクエストはクライアントがサーバに対して、サーバの機能の実行を要求する正式な方法であり、BTOS やシステム・サービスの機能の実行を要求する時はこのリクエスト機能を用いる。

リクエスト機能はプロセス間通信を用いたものであり、クライアントとサーバがメッセージの送受信を行うのであるが、次の点でプロセス間通信とは異なっている。

- 1) 受信側のエクステンジの識別番号を指定しなくてよい。
- 2) メッセージの代わりに、“リクエスト・ブロック”と呼ばれる決められたフォーマットを持つ構造体へのポインタを送受信する。
- 3) クライアントは、リクエスト・ブロックを送信するとき、Send 命令ではなく Request 命令を使う。
- 4) サーバはクライアントに対して、Respond 命令により必ず実行結果を返答する。

なお、サーバもクライアントもリクエスト・ブロックを受け取るために、プロセス間通信と同様に Wait 命令を用いる。

4.1 リクエスト・ブロック

リクエスト・ブロックは、サーバとクライアントの間で送受信されるデータを記述する構造体である。リクエスト・ブロックのフォーマットは、種々のサーバが共通に使えるように形式化されている。リクエスト・ブロックは図6に示すように四つの部分から成り立っている。

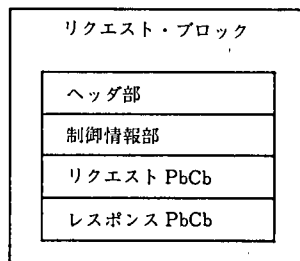


図 6 リクエストブロックの概略

Fig.6 Outline of a request block

ヘッダ部は、どのサーバにも適用できる汎用的な情報を持ち、決められたフォーマットになっている。ヘッダ部のフォーマットとフィールド名を図7に示す。

制御情報部は可変長で、クライアントからサーバに渡されるパラメタを指定する。ここは、数値やファイルハンドル(ファイル識別子)、画面の座標等、比較的小さなメモリ領域を使うデータのために使われる。

リクエスト PbCb にはクライアントからサーバに渡されるデータ*が、レスポンス PbCb にはサーバからクライアントに渡されるデータが、それぞれ記述される。PbCb とは BTOS のデータ・タイプで、ある文字列へのポインタ(=Pb: Pointer of byte)

* 制御情報部とリクエスト PbCb は、ともにクライアントからサーバに何らかのパラメタを渡すために使われる。どちらを使うかは、① PbCb には 6 バイトのオーバーヘッドが必要となる、② 制御情報部は最大 255 バイトに制限されている、という二つのことを考慮してサーバ作成者が決めてよい。

単位：バイト

オフセット	フィールド名	サイズ	フィールドの説明
0	sCntInfo	1	Size of Control Information：リクエスト・ブロックの制御情報部のサイズを指定する。
1	RtCode	1	Routing Code：BTOSのカーネルが使用するもので通常0を設定する。
2	nReqPbCb	1	number of Request PbCb：リクエスト PbCb の数
3	nRespPbCb	1	number of Response PbCb：レスポンス PbCb の数
4	UserNumber	2	クライアントのパーティションを識別するための番号である。通常このフィールドはクライアントにより0に設定され、カーネルにより正しい値に設定し直される。
6	exchResp	2	Exchange of Response：リクエストに対する応答が送り返されるエクスチェンジの識別番号を設定する。このエクスチェンジは事前にクライアントが割り当てなければならない。
8	ereRet	2	Error Code Returned：16ビットのデータで、サーバが機能の実行を正常に終了したか否かを、あるいは、どんな理由により異常が起きたのかをクライアントに示す。
10	RqCode	2	Request Code：実行を要求したい機能のリクエスト・コード

図 7 ヘッダ部のフォーマット

Fig.7 Structure of a request block header

とそのバイト数(=Cb：Count of byte) から成っている。言い換えると、PbCbはアドレスとその大きさにより<文字列を記述する>ものである。PbCbは、必要に応じて複数個並べてよい。

リクエスト・ブロックを送受信する際に、サーバはヘッダ部のエラーコードを返すフィールドを除いてリクエスト・ブロックを修正してはならず、リクエスト PbCbで指定されるデータを変更してはならない。また、クライアントはリクエストに対する返答をもらうまで、リクエスト・ブロックの内容とリクエスト PbCbとレスポンス PbCbにより記述されるデータにアクセスしてはならない。

4.2 リクエスト・コード

クライアントは、実行を要求するサーバをリクエスト・コードと呼ぶ16ビットの整数値によって指定する。リクエスト・コードは、あらかじめ種々のサーバが提供するさまざまな機能をシステム内で一意に識別できるように静的に割り振られている。リクエスト・コードはシステム・ディスク内のファイル“Request. sys”内に登録されており、BTOSはブート時にこれをロードする。

リクエスト・コードは1000(16進数)ごとに16のレベルに分けられており、その内のいくつかはユーザに開放されている。ユーザがサーバを作成する場合、そのサーバが提供する機能ごとにまだ登録されていないリクエスト・コードを割り当て、それを“Request. sys”に登録する必要がある。

4.3 リクエスト・ブロックをサーバへ渡す仕組み

リクエスト機能も、クライアントとサーバ間のリクエスト・ブロックの送受信をプロセス間通信により行っている。このため、BTOS自身はサーバのエクスチェンジの識別番号がわかっていなければ、リクエスト・ブロックを該当するサーバへ渡すことができない。

そこで、BTOS ではリクエスト・コードと、それに対応する機能を実行するサーバが利用するエクステンジの識別番号との対応表(これをリクエスト/エクステンジ対応表という)を保持している。BTOS は、この対応表をブート時に初期化し、BTOS が機能を提供するリクエスト・コードに対応するエクステンジの識別番号をこれに登録する。また、動的に導入されるサーバ (システム・サービス) は、リクエスト・ブロックを受け取るためのエクステンジを割り当てた後、このエクステンジの識別番号をそのサーバが機能を提供するリクエスト・コードに対応するエクステンジとして対応表に登録しなければならない。対応表への登録は ServeRq 命令により行われる。

図 8 は、クライアントからサーバへリクエスト・ブロックが渡される様子を示している。クライアントがリクエスト命令を発行すると、BTOS はそのリクエスト・ブロックの中のリクエスト・コードを用いて対応表を参照し、該当するエクステンジへメッセージを送る。

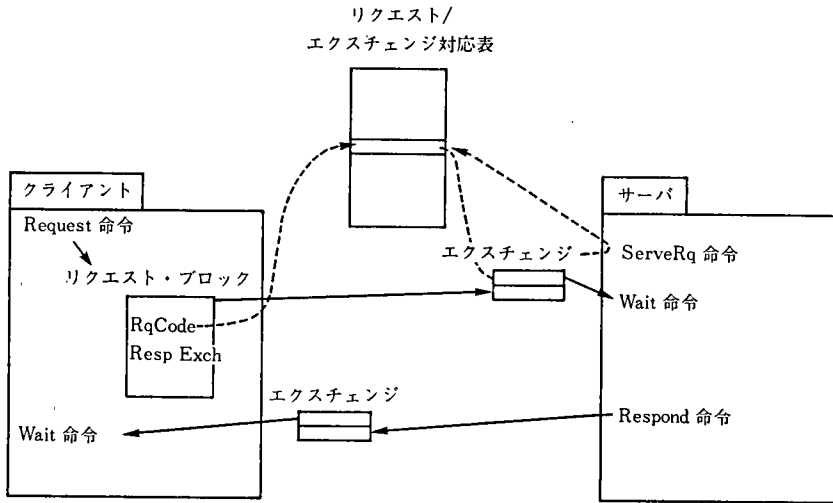


図 8 クライアントとサーバの動き

Fig. 8 Processing flow of client process and server process

さらに BTOS は、サーバにリクエスト・ブロックを送信する前にリクエスト・ブロックのリクエスト PbCb およびレスポンス PbCb のポインタ値をサーバにも参照できるように変更する。もし、これらの PbCb のポインタ部のセクタ*(以下、単に PbCb のセクタ)がクライアントの LDT を参照するものであれば(すなわち、そのプログラム内で保護されていれば)、サーバからはこれらの PbCb により記述されるデータを参照することはできない。そこで BTOS は、PbCb のセクタのエイリアス (Alias) を GDT のスロットに作成し、リクエスト・ブロックの PbCb のセクタの値をこのエイリアスの値に書き直す。

4.4 フィルタ・プロセス

BTOS あるいはシステム・サービスの機能をサブルーチン・コールや割り込みではなく、リクエスト機能により呼び出す利点は、機能の実行要求を横取りできることで

* セクタ：Intel 社製 CPU のアドレス記述子の名前。

ある。横取りすることで、OSの機能を実行する前後に何らかの処理を行うプログラムを介在させたり、OSの機能のあるプログラムで置き換えたりすることができる。

この横取りをするプロセスをフィルタ・プロセスと呼ぶ。フィルタ・プロセスはクライアントとサーバの間に介在して、サーバ当りのリクエスト・ブロックを横取りし、何らかの組処理を実行してからそのリクエスト・ブロックを横取りし、何らかの処理を実行してからそのリクエストを本来のサーバに発行し直すか、あるいは、そのサーバの代わりに機能をクライアントに提供する（フィルタ・プロセスが介在していても、クライアントとサーバはフィルタ・プロセスの存在に気づかず、直接リクエスト・ブロックのやり取りをしているかのように振る舞う）。

4.4.1 フィルタ・プロセスの実現手法

フィルタ・プロセスは、リクエスト/エクスチェンジ対応表の中のリクエスト・ブロックを横取りしようとするリクエスト・コードに対応するエクスチェンジの識別番号を、自分自身のエクスチェンジの識別番号に書き換えることにより、リクエスト・ブロックを横取りできる。BTOSは、必ず対応表に従ってリクエスト・ブロックをエクスチェンジへ送る。そのため、フィルタ・プロセスが対応表を書き換えた後は、リクエスト・ブロックは書き換えられたフィルタ・プロセスのエクスチェンジに送信される。

フィルタ・プロセスは、対応表を書き換える前に、対応表の中の書き換えようとするエクスチェンジの識別番号を調べて、それを保持しておかなければならない。このエクスチェンジの識別番号は、本来のサーバにリクエスト・ブロックを送信する場合に必要である。また、フィルタ・プロセスがリクエスト・ブロックの横取りをやめる時には、書き換えた対応表のエクスチェンジの識別番号を、元の値に戻さなければならない。

4.4.2 フィルタ・プロセスの種類

フィルタ・プロセスには、置換フィルタ、片方向フィルタ、両方向フィルタの3種類がある。

置換フィルタは、横取りしたリクエスト・ブロックに基づいて処理を実行し、クライアントに返答する。この場合、サーバにはリクエスト・ブロックが送信されず、フィルタがサーバに代わってクライアントの要求を実行することになる（図9(a)）。

片方向フィルタは、リクエスト・ブロックを横取りして何らかの処理を実行し、さらに本来のサーバにリクエスト・ブロックを送信する。片方向フィルタは、本来のサーバにリクエスト・ブロックを送信するために、“ForwardRequest 命令”を用いなければならない（図9(b)）。

両方向フィルタも、リクエスト・ブロックを横取りして何らかの処理を実行し、本来のサーバにリクエスト・ブロックを送信するが、さらにサーバからの返答を横取りして処理をした後クライアントに返答する。両方向フィルタは、リクエスト・ブロックの `exchResp` フィールドの値を自分自身のエクスチェンジに書き換えて本来のサーバにリクエスト・ブロックを送信し、サーバから返答されるリクエスト・ブロックの `exchResp` フィールドをクライアントのものに書き直して返答する。両方向フィルタは、本来のサーバにリクエスト・ブロックを送信するために、“RequestDirect 命令”を用いなければならない（図9(c)）。

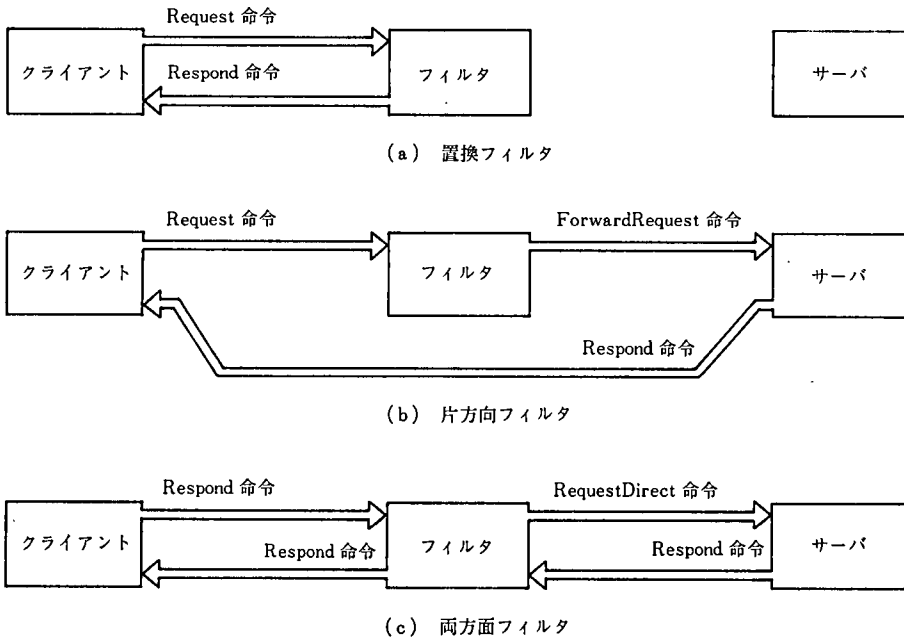


図9 フィルタ・プロセス

Fig.9 Filter process

5. ワークステーション間でのリクエスト

リクエスト機能は異なる WS 間(クライアントとサーバが異なる WS 上で実行されている)で行うこともできる。WS 間のリクエスト機能ではクライアントとサーバの間に“エージェント”が介在する。エージェントは、フィルタと同じようにサーバに渡される前にリクエスト・ブロックを受け取り、そのリクエスト・ブロックを WS 間で送受信する機能を提供するプロセスである。エージェントは、フィルタがリクエスト・ブロックを横取りするのに対し、リクエスト・ブロックを WS 間で〈転送〉するのである(図 10)。

エージェントには、クライアント・エージェントとサービス・エージェントの 2 種類がある。クライアント・エージェントはクライアントと同じ WS 上に存在し、リクエスト・ブロックをサーバの存在する WS のサービス・エージェントに送信する。一方、サービス・エージェントはサーバと同じ WS 上に存在し、クライアント・エージェントから送られてきたリクエスト・ブロックを用いて該当するサーバにリクエストする。クライアント・エージェントとサービス・エージェントは、WS 間でのリクエスト・ブロックの送受信だけを行う。エージェントが WS 間でのリクエスト・ブロックの送受信に必要な処理をすべて行うので、クライアントもサーバもリクエスト・ブロックが WS 間で送受信されるものか否かに特別な注意をはらう必要はない。

また、リクエスト・ブロックは、複数のクライアント・エージェントとサービス・エージェントの組を経由してクライアント/サーバ間で送受信されてもかまわない。

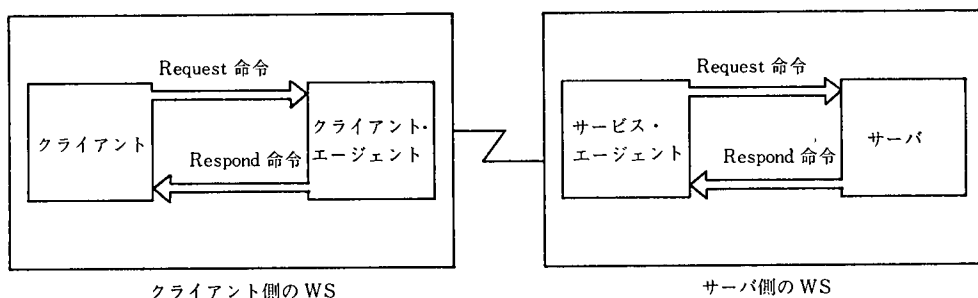


図 10 WS 間のリクエスト機能

Fig. 10 Request mechanism between workstation

5.1 ワークステーション間リクエストの実現手法

先にも述べたように、リクエストが発行されると、そのリクエスト・ブロックはリクエスト/エクスチェンジ対応表に従って該当するエクスチェンジに送信される。ここで、サーバが他の WS にある場合、リクエスト・コードに対応するエクスチェンジはクライアント・エージェントのになっている；リクエスト・コードはクライアント・エージェントのエクスチェンジに送信される。クライアント・エージェントは、該当するサーバの存在する WS を調べ、そのサービス・エージェントにリクエスト・ブロックを送信する。

一方、リクエスト・ブロックを受け取ったサービス・エージェントは、そのリクエスト・ブロックをサーバのエクスチェンジへ同じ WS にあるサーバに要求を出すクライアントとして（リクエスト・ブロックの利用者番号とレスポンス・エクスチェンジを自分のものに変更して）リクエスト命令を実行する。サーバからの返答はこの逆の経路をたどる。

サービス・エージェントも他のプログラム同様、その WS 内で一意の利用者番号が割り当てられているので、サーバは送られてきたリクエスト・ブロックを本来のクライアントではなく、サービス・エージェントという利用者からのものであると解釈する。そのため、サーバが資源等を割り当てる場合、その資源はサービス・エージェントのものとして扱われる。

クライアント・エージェントの存在する WS のリクエスト/エクスチェンジ対応表とサービス・エージェントの存在する WS のリクエスト/エクスチェンジ対応表は必然的に異なったものである。すなわち、クライアント・エージェントの存在する WS のリクエスト/エクスチェンジ対応表のうち、サーバが他の WS に存在するリクエスト・コードに対するエクスチェンジは、すべてクライアント・エージェントのエクスチェンジになっている。

5.2 ワークステーション間で送受信されるリクエスト・ブロック

同じ WS 内では、実際のデータのアドレスだけがリクエスト・ブロックの PbCb によって送受信された。しかし、異なる WS 間でリクエスト・ブロックをやり取りする場合には、実際のデータも送受信しなければならない。そこでエージェントは、リクエスト・ブロックのヘッダ一部と制御情報部の内容と、PbCb によって記述されるデータそのもの（送信するデータ量を最少にするため、クライアント・エージェントはリ

クエスト PbCb, サービス・エージェントはレスポンス PbCb だけ) をエージェント内にコピーし、それを送信する。

このためにエージェントは、リクエスト・ブロックとそのデータをコピーするだけのメモリ領域を用意しなければならない。しかし、一度に送信されるデータの最大量はわからないので、このメモリ領域に入りきらないほど大量のデータを送信する場合があります。このような場合、BTOS では送信するデータをいくつかの塊に断片化することができる。

断片化は、通常、ファイルの読み書きをするためのもので、断片化を行うには次の規則を守る必要がある。

- 1) 6 バイトの制御情報部を持ち、最初の 2 バイトにファイル・ハンドルを、残りの 4 バイトにその断片のデータ全体の先頭からのオフセット値を設定するように割り当てる。
- 2) 最初の PbCb は読み書きされるデータを記述する。
- 3) 2 番目の PbCb は、サーバが処理したデータの総量を記述する。

6. おわりに

これまで説明してきたように、BTOS の持つ特徴は、①実行の基本単位をプロセスとして管理し、②そのプロセスが互いに通信しあって処理を進めていく、ことによって実現されている。そして BTOS のさまざまな機能は、このプロセス間通信を拡張することによって実現されているため、根本的な動作原理は非常にシンプルな仕組みになっている。

最後に、これからの BTOS について簡単に述べておく。BTOS には発売以来すでに、サードパーティ・ソフトウェアハウスが開発したものも含め何千本というアプリケーションやユーティリティの蓄積ができ上がっている。さらに欧米では、BTOS は外部に OEM 供給されている。とくに欧州では CTOS オープンといわれるくらい幅広く受け入れられている。これらの状況を背景にして米国 Unisys 社では、UNIX, DOS とともに BTOS もオープン・システムとして発展させようとしている。

以上、BTOS のとくに中心となる概念について説明してきたが、本稿をご覧になった方々が BTOS にいくらかでも興味を持ち、実際に“触れる機会”を持ていただければ幸いである。

参考文献 [1] Unisys BTOS II システム解説書, I, II, 日本ユニシス株式会社, 1988.

執筆者紹介 荒井俊雄 (Toshio Arai)

昭和 37 年生. 60 年関西学院大学社会学部卒業. 同年日本ユニシス(株)入社. A シリーズ・コンピュータのリモート・グラフィック・プリンタのユーティリティ開発に従事した後, ワークステーション(NW²ファミリ)のソフトウェア開発に携わり現在に至る. 現在, ワークステーションソフトウェア二部所属. 特種情報処理技術者.



ファクシミリ通信パッケージ
FSP1100 (OSI)

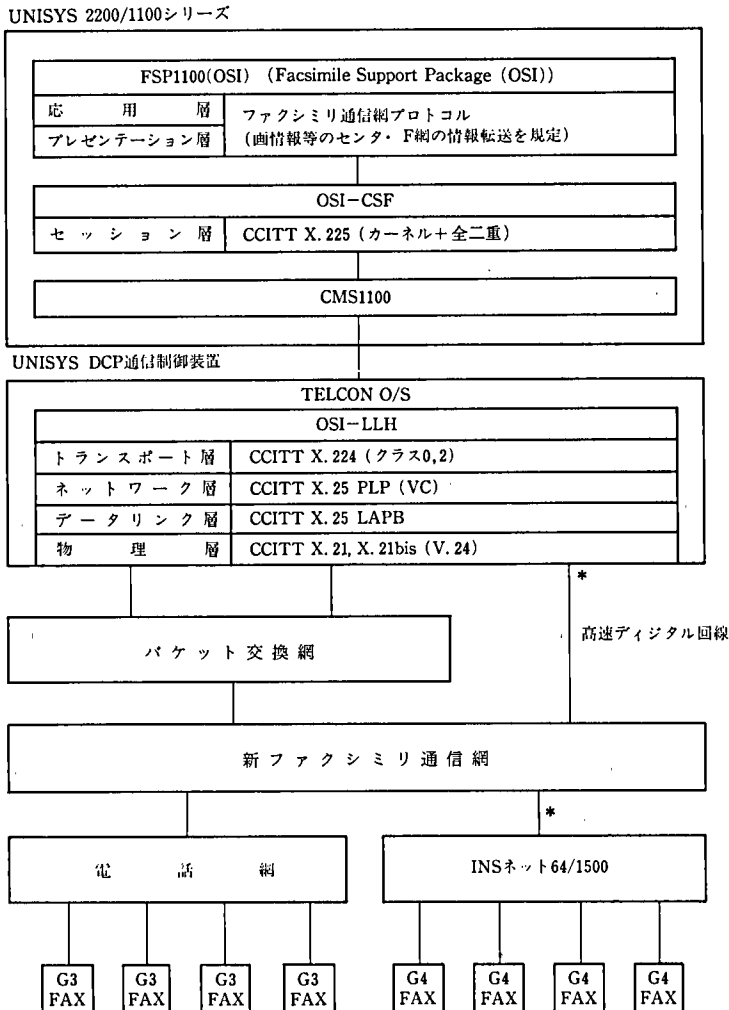
FSP 1100 (OSI) は、日本電信電話株式会社の新ファクシミリ通信網と UNISYS 2200/1100 シリーズを接続し、センタ・エンド型のファクシミリ通信アプリケーションの構築を支援するソフトウェアパッケージである。

新ファクシミリ通信網は、センタ・エンド型通信に OSI (Open Systems Interconnection : 開放

型システム間相互接続) プロトコルを取り入れ、2200/1100 シリーズをはじめとする情報センタとパケット交換網を経由して接続する (図1)。

このため遠近隔差の小さい経済性に優れたネットワークが構築できる。さらに ISDN (Integrated Service Digital Network : サービス総合デジタル網) を経由したグループ4 ファクシミリ接続サービスをはじめ、各種のメニューアップも予定されており、ファクシミリ通信の量的・質的な進展に最小限の設備投資で適確に 대응していくことができる。

FSP 1100 (OSI) は、新ファクシミリ通信網が



* 検討中

図1 ネットワーク構成

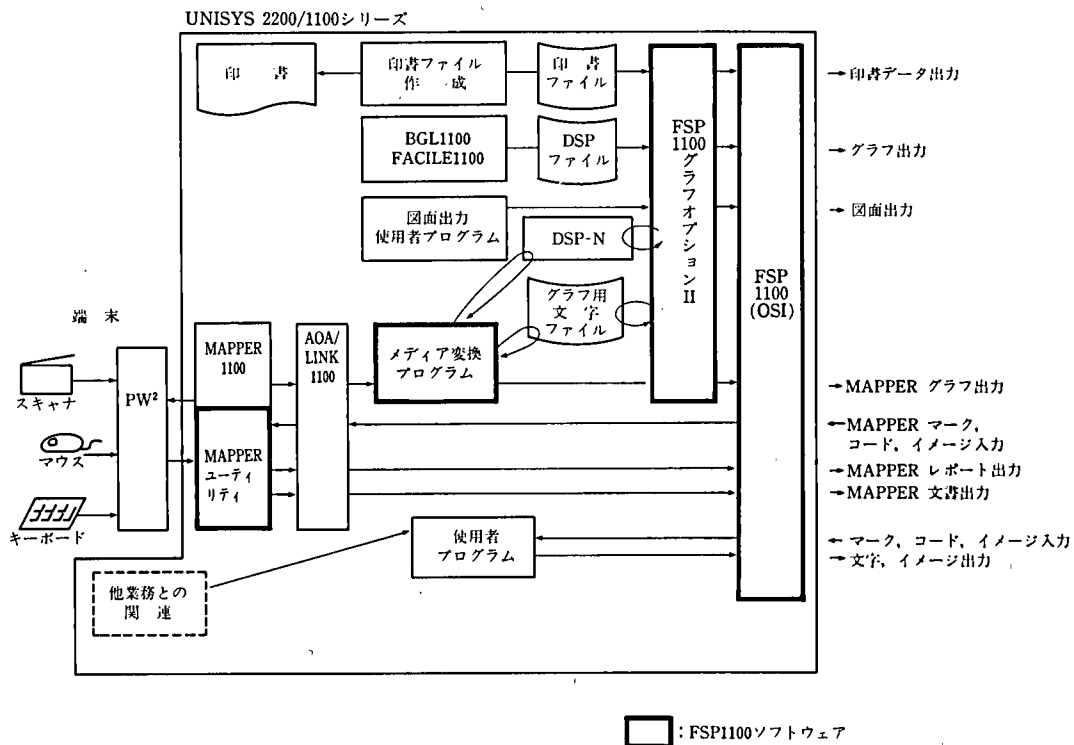


図 2 ソフトウェア関連図

提供する豊富なサービスを、4 GL(第4世代言語)のMAPPERランやCOBOLプログラムからサブルーチン形式で呼び出すことができるプログラムインタフェース、および最新鋭ワークステーションPW²やラップトップパソコンJ-3100等のMAPPER端末からメニュー方式で使用する会話型インタフェースを備えている。

またFSP 1100 グラフ・オプションIIを追加することによって、CAD/CAMの設計図面、MAPPER/FACILE(FACILity for End users)のビジネスグラフ、および印刷ファイルをメディア変換(ファクシミリ符号化)して、ファクシミリ端末に簡単に配信することができる(図2)。

FSP 1100 (OSI)の主な提供サービス機能は、次の通りである(“ ”は提供予定機能)。

- 一般/親展通信機能
- 同報通信機能(最大100宛先まで)
- 送信予約機能(最長1か月先まで)

- 着信課金機能
- 着信通信文振り分け機能
- 閉域接続機能
- 情報センタ運用管理機能(自動運用支援、障害回復)
- 大規模ネットワーク支援機能
- MAPPER ユーティリティ機能
- “大量文書送信機能(32ページ超)”
- “送達確認通知機能”
- 書式制御機能(改行・行ピッチ・文字方向・文字種・書体(ゴシック体・明朝体)“文字繰返し”・“文字ピッチ”・“重ね打ち”)
- “グループ4ファクシミリ(クラスI)接続機能”

これらの機能を用いて利用者は、ファクシミリ通信の配信・集信・問い合わせ応答形の業務アプリケーションを自在に構築することができる。

**テクニカル分野向け
UNIX ワークステーション
US ファミリ・エンジニアリング
ワークステーション**

US ファミリ・エンジニアリング・ワークステーション (以後 US ファミリと呼ぶ) は、RISC* 型 CPU (SPARC**) を採用した高性能 UNIX*** ワークステーションである。

US ファミリの適用分野は、すでに販売して多数の実績を有している CISC**** 型 CPU の SS-7 シリーズと同じ CAD/CAM/CAE, 科学技術計算, DTP, シミュレーション等の計算処理, 図形処理, 画像処理を中心とした分野であるが, なかでも RISC 型の特徴である高い計算処理能力を必要とする業務には, 最適なワークステーション・ファミリである。

また, US ファミリでは数千にも及ぶ豊富な第三者ソフトウェアを利用してシステム構築のコスト削減, 開発期間の短縮を計ることが可能であり大きな特徴となっている。

US ファミリの特徴

1) RISC 技術

US ファミリは CPU および FPU に高速化技術の一つである RISC アーキテクチャを採用した 32 ビット・マイクロプロセッサ “SPARC チップ” を搭載している。性能は, US モデル 60 (SPARC: 20MHz) では 12.5 MIPS, 1.4 MFLOPS, US モデル 330/370/390 (SPARC: 25 MHz) では 16 MIPS, 2.6 MFLOPS のパフォーマンスを実現しており新時代の RISC ワークステーションといえる。

2) UNIX オペレーティング・システム (Sun OS**)

オペレーティング・システムはパークレイ

版 4.2/4.3 BSD を基本に, AT&T System V リリース 3 の機能を拡張し, さらに仮想記憶, ネットワーク機能 (TCP/IP, TELNET, NFS), ソフトウェア開発, グラフィック処理, デバッグ用各種ツール等を提供する強力な UNIX オペレーティング・システムである。

3) オープン・ネットワーク・コンピューティング環境

分散コンピューティング技術の中核をなすオープン・ネットワーク・コンピューティング (ONC) 環境を提供しており, マルチベンダ環境 (US ファミリと異機種) にあるコンピュータおよび周辺機器等をネットワーク機能 (Ethernet* がベース) で結合することにより, ネットワーク上に分散している資源を有効利用することが可能である。

4) 日本語対応

オペレーティング・システムである Sun OS に対し, 日本語環境を提供する日本語 OS (JLE**) を結合することで, コマンド, ライブラリ, C 言語等の日本語処理可能となる。日本語機能を提供する JLE は, 日本語コードとして EUC*** を採用しており, 外部コードとして JIS, シフト JIS も使用可能としている。さらに当社独自の LETS-J, JIS 7, JIS 8 等のコード体系の使用, JIS 未定義領域に対する外字登録等も可能としている。

5) グラフィックス

2次元/3次元図形を高速処理するためのグラフィック専用ボードを搭載した GX モデルおよび GXP モデルを提供している。GX モデルは, 2次元/3次元ベクトルを高速処理するための機種であり, 256色同時表示 (1670万色中), 2Dベクトル 45万本/秒, 3Dベクトル 20万本/秒の処理が可能で ECAD, MCAD 分野に適している。

GXP モデルは, 3Dソリッド・モデルを高速処理するための機種であり, 1,670万色同時表示, 3Dベクトル 9万本/秒, 3Dポリゴン 3,500面/秒の処理が可能でモデリング, シミュレーション, アニメーション分野に適し

* RISC (Reduced Instruction Set Computer): 縮小命令セット・コンピュータ

** SPARC, Sun OS: サンマイクロシステムズ社の商標。

*** UNIX: AT & T ベル研究所が開発し, ライセンスしているオペレーティング・システムである。

**** CISC (Complex Instruction Set Computer): 複合命令セット・コンピュータ

* Ethernet: Xerox 社の登録商標。

** JLE: Japanese Language Environment

*** EUC: Extended UNIX Code

ている。さらに、グラフィックス・ライブラリとして SunPHIGS, SunGKS の他、当社が従来から提供している AGS グラフィック入出力装置用ライブラリ GL 2000, GL 3000, GL 8000 等も使用可能である。

US ファミリの商品構成

1) ハードウェア構成

CPU 能力, メモリ/ディスク容量, 拡張性等により大きく以下の 4 モデルに分かれる。

各モデルの仕様は表 1 の通りである。

① モデル 60 (写真 1)……CPU, FPU に SPARC チップ (各 20 MHz) を採用した 12.5 MIPS, 1.4 MFLOPS の性能を持つローエンド・デスクトップ型 EWS で全機種ステーション・タイプ (BMD: Bit Mapped

Display 有) であり, 12 機種より構成される。

② モデル 330/370 (写真 2) ……CPU, FPU に SPARC チップ (各 25 MHz) を採用した 16 MIPS, 2.6 MFLOPS の性能を持つミッドレンジ・デスクサイド型 EWS で機種により, ステーション・タイプ (BMD 有) とサーバ・タイプ (BMD 無) に分かれる。モデル 330 は 8 機種, モデル 370 は 4 機種からそれぞれ構成される。

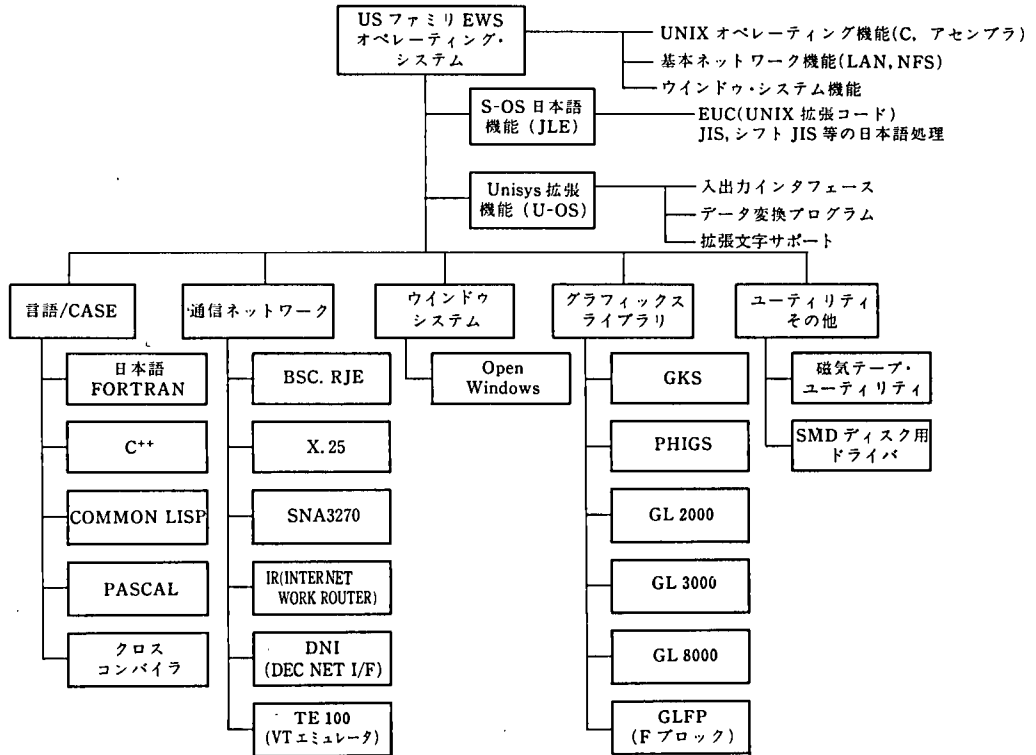
③ モデル 390 (写真 2) ……CPU, FPU に SPARC チップ (各 25 MHz) を採用した 16 MIPS, 2.6 MFLOPS の性能を持つ, ハイエンド・サーバ・キャビネット型 EWS ですべてサーバ・タイプであり, 2 機種より構成される。

表 1 US ファミリー仕様

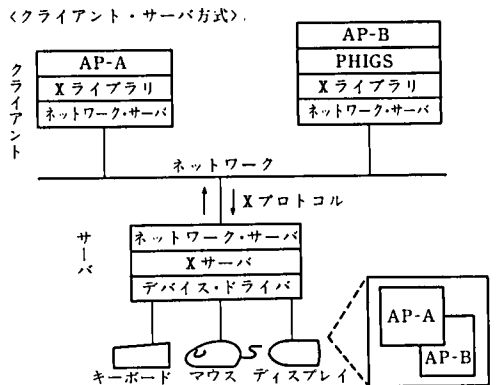
	モデル60	モデル330	モデル370	モデル390
CPU	整数演算ユニット:SPARC IU(20MHz) 浮動小数点演算ユニット:SPARC FPU(20MHz) T18847		整数演算ユニット:SPARC IU(25MHz) 浮動小数点演算ユニット:SPARC FPU(25MHz) T18847	
メモリ・マネジメント	タイプ:Sun-4MMU 仮想メモリ:1Gバイト/プロセス		タイプ:Sun-4MMU 仮想メモリ:1Gバイト/プロセス I/Oインタフェース:DVMA	
メインメモリ	標準:8Mバイト 最大:16Mバイト	標準:8Mバイト 最大:40Mバイト	標準:8Mバイト 最大:56Mバイト	標準:16Mバイト 最大:56Mバイト
キャッシュ・メモリ	容量:64Kバイト		容量:128Kバイト	
システム・バス	タイプ:SBUS アドレス/データバス:32ビット スロット数:3	タイプ:VME アドレス/データバス:32ビット スロット数:5スロット	タイプ:VME アドレス/データバス:32ビット スロット数:12スロット	タイプ:VME アドレス/データバス:32ビット スロット数:16スロット
Ethernetインタフェース		メディア・タイプ:同軸ケーブル データ転送速度:10Mビット/秒		
SCSIインタフェース		データ転送速度:4.8Mバイト/秒		
シリアル・ポート	RS423×2(RS232C互換)		RS 423×4(RS232C互換)	
非同同期コントローラ (オプション)	—		RS423×16(RS232C互換) セントロ・インタフェース×1	
同期多重プロトコル通信プロセッサ (オプション)	—		4チャネル (各種プロトコル, 高速通信用)	
オーディオ I/O	8kHz, 8ビット		—	
ディスプレイ	●モノクロ サイズ:17/19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース ●カラー サイズ:16/19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース	●モノクロ サイズ:19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース ●カラー サイズ:19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース	●モノクロ サイズ:19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース ●カラー サイズ:19インチ 分解能:1152(H)×900(V) リフレッシュレート:66Hz/ノンインタレース	—
グラフィック機能	●GX 表示色:8ビット(256色) カラーパレット:1,670万色 2Dベクタ:400,000/秒 3Dベクタ:175,000/秒	●GX 表示色:8ビット(256色) カラーパレット:1,670万色 2Dベクタ:450,000/秒 3Dベクタ:200,000/秒	●GX 表示色:24ビット(1,670万色) ダブルバッファ:12ビット, デザ Zバッファ:16ビット オーバレイ・プレーン:2ビット 3Dベクタ:90,000/秒 3Dポリゴン:3,500/秒	—
キーボード		タイプ:ASCII 107キー, カナ111キー		—
マウス		タイプ:3ボタン光式		—
磁気ディスク	●3.5インチSCSIディスク(内蔵・外部) 容量(フォーマット時):104Mバイト 平均アクセス・タイム:22ミリ秒 ●5.25インチSCSIディスク(外部) 容量(フォーマット時):327Mバイト 平均アクセス・タイム:16.5ミリ秒 ●3.5インチディスク(内蔵) 容量(フォーマット時):1.44Mバイト	●5.25インチSCSIディスク 容量(フォーマット時):327Mバイト 平均アクセス・タイム:16.5ミリ秒 データ転送速度:1.5Mバイト/秒 最大接続台数:4台	●5.25インチSCSIディスク 容量(フォーマット時):327Mバイト 平均アクセス・タイム:16.5ミリ秒 データ転送速度:1.5Mバイト/秒 最大接続台数:4台 ●8インチSMDディスク 容量(フォーマット時):688Mバイト 平均アクセス・タイム:16.5ミリ秒 データ転送速度:2.4Mバイト/秒 最大接続台数:8台	●8インチIPIディスク 容量(フォーマット時):1.0Gバイト 平均アクセス・タイム:16ミリ秒 データ転送速度:3.0Mバイト/秒 最大接続台数:32台
テープドライブ	●1/4インチカートリッジテープドライブ :150Mバイト		●1/4インチカートリッジテープドライブ :150Mバイト ●1/2インチテープドライブ フォーマット:6250/1600 テープ・スピード:100ips	

2) ソフトウェア構成

US ファミリのソフトウェア構成は図 1 に示す通りである。



- ウインドウ・システム：US ファミリーは「クライアント・サーバ」方式のウインドウ・システム (X11/NeWS* ウインドウを含む Open Windows**)を採用している。この方式はウインドウ表示やカーソル、キーボード、マウスの割り当てを行うサーバ (ディスプレイごとに一つ存在する) と X ライブラリを用いたアプリケーション・プログラムであるクライアントに分かれ、両者が連携を取ることで一つのウインドウ・システムを構築する。
- クライアントとサーバ間の通信は X プロトコルを用いており、クライアント、サーバは共に同一マシン上でも、別々のマシンに分離されていても、異なるネットワーク・ノードに常駐していてもかまわない(右図)。X サーバは該当するクライアントと通信することにより、入出力データの送受信やウインドウの操作等を行う。このようにクライアント・サーバの独立性が重要なのは、たとえばネットワーク上に新しいディスプレイを追加するとき、新しいサーバのみ追加すればよく、既存のクライアントの変更は不要となるためである。
- グラフィカル・ユーザ・インタフェース：USファミリーでは、GUI (グラフィカル・ユーザ・インタフェース：メニュー、ウインドウの表示方法、マウス、キーボード等の操作方法を規定) と呼ばれる特定のハードウェア、OS等に依存しない「わかりやすさ」、「一貫性」、「効率」のバランスがとれ、グラフィカル・ユーザ・インタフェース定義に基づいたソフトウェア「OPEN LOOK***」を今後提供する。OPEN LOOK の定義は、「Functional Specification」と「Style Guideline」という 2 冊の本から構成されており「見え方と動き：Look & Feel」を定める仕様書で、いわゆるソフトウェアではない。今後OPEN LOOK を用いて開発されるアプリケーション・プログラムやツールキットはハードウェア、OS、ウインドウ等に影響されないためユーザは資源を効率よく利用することが可能となる。



*X ウインドウはマサチューセッツ工科大学の商標。
 **News, Open Windowsはサンマイクロシステムズ社の商標。
 ***AT & T の商標。

図 1 US ファミリーのソフトウェア体系

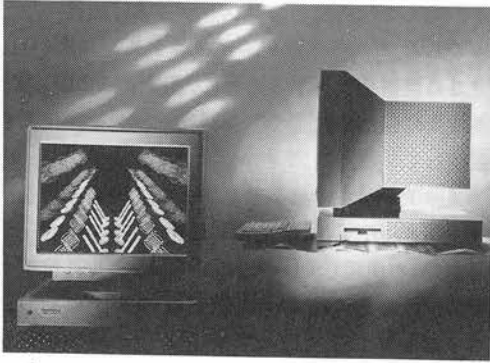
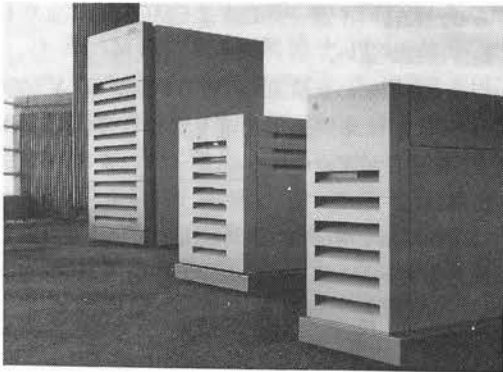


写真 1 US ファミリー・モデル 60



モデル 390 モデル 370 モデル 330

写真 2 US ファミリー・モデル (サーバタイプ)

**高速・大容量新型磁気ディスク・サブシステム
および新型キャッシュ・ストレージ・
ユニット, V5080/N8487, 7053-II**

近年、コンピュータ・システムの利用拡大および処理情報量の増大は留まるところを知らず、ホスト・システムの記憶装置に対する優れたパフォーマンスやキャパシティが要求されている。

外部記憶装置としての磁気ディスク・サブシステムには大容量高性能、高信頼、省スペース、省電力の要望が高まっている。

当社においては、これまで 2200/1100 シリーズ用としては、図 1 に示すような磁気ディスク・サブシステムを提供してきたが、上記のような背景から、「8486 型磁気ディスク装置」の上位機である「N 8487 型磁気ディスク装置」の商品化を図ることになった。またこの新型磁気ディスクの機能を生かすために、新型ディスク制御装置として

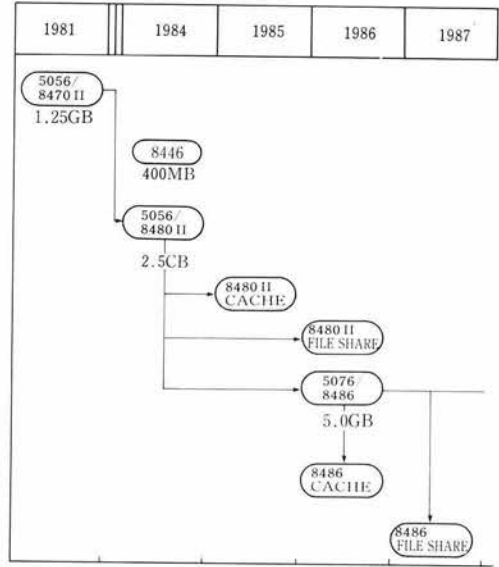


図 1 ディスク装置の開発推移 (2200/1100 シリーズ)

「V 5080 型ストレージ・コントロール・ユニット」、
「7053-II 型キャッシュ・ストレージ・ユニット」、
および「7053-II 型半導体ディスク・ユニット」の
商品化を行った (写真 1, 2)。

「V 5080 型ストレージ・コントロール・ユニット」には、N 8487 型磁気ディスク装置、7053 II 型キャッシュ・ストレージ・ユニットまたは 7053 II 型半導体ディスク・ユニット用、既存 8480 II 型/8486 用として 6 種類のタイプが用意されている。

「N 8487 型磁気ディスク装置」には 1 キャビネット当たりの記憶容量として、15 ギガバイトのディスク装置が 2 種、7.5 ギガバイトのディスク装置が 2 種、合わせて 4 種類のタイプがある。

この「N 8487 型」は「V 5080 型ストレージ・コントロール・ユニット」に最大 4 台まで接続できるため、1 サブシステム当たりのディスク容量は最大 60 ギガバイトとなる。

V5080 ストレージ・コントロール・ユニット (SCU) の概要

新型磁気ディスク・サブシステムの構成を図 2～図 4 に示す。

V 5080 型ストレージ・コントロール・ユニット (SCU) の特徴は、

- ① 3 メガバイト/秒の高速データ転送
- ② 低消費電力 (現行機種種の 1/2)
- ③ 設置スペースの削減 (現行機種種の 1/2)

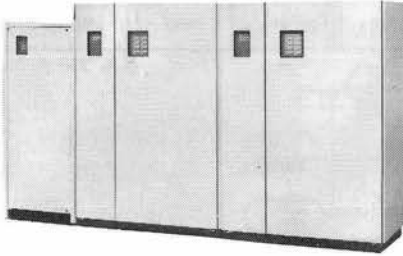


写真 1 V5080 型/N8487 型ディスク・サブシステム

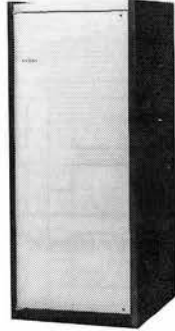


写真 2 7053-II 型キャッシュ・ストレージ・ユニット/半導体ディスク・ユニット

④ 現行機種とのソフトウェア互換性

等である。

この目標を実現するために、最新の VLSI(超大規模集積回路) 技術であるゲート・アレイ技術を駆使している。

ゲート・アレイは高速化および低消費電力を実現するため、CMOS と Bi-CMOS (バイポーラ CMOS) を使用した。一般的に CMOS-LSI はプロセスが微細化されていて、消費電力が小さいため、バイポーラ LSI に比べて 10 倍以上の高集積化が可能である。そのため、小型化、低消費電力化に有効であり、電源や冷却装置が簡単となる利点がある。一方、バイポーラ LSI は CMOS-LSI よりも動作速度が速い。

以上 2 種類の集積回路の特徴を生かし、V 5080 型 SCU では高集積化を図るところには CMOS を、高速性が求められるところには Bi-CMOS を採用した。

論理回路を構造化し、ゲート・アレイの分割を最適化することにより、CMOS と Bi-CMOS の使

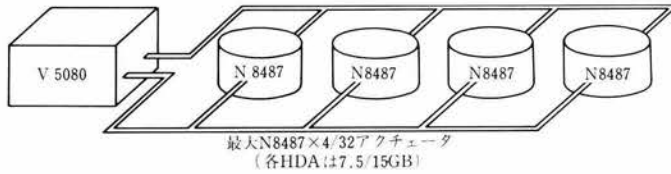


図 2 V5080/N8487 ディスク・サブシステム最大構成

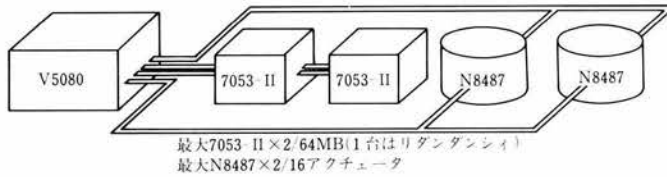


図 3 V5080/7053-II/N8487 キャッシュ・ディスク・サブシステム

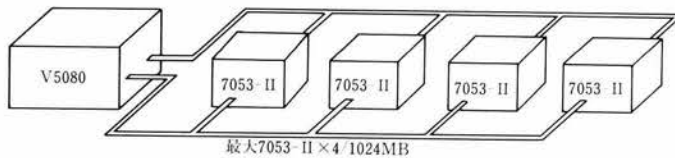


図 4 7053-II 半導体ディスク・サブシステム

い分けを行っている。

次に、プロセッサ部（主コントロールをつかさどる）、チャンネル・コントロール部（ホスト・コンピュータとの接続をコントロール）、ディスク・インタフェース部（ディスク・ドライブとの接続部）およびキャッシュ・コントロール部（キャッシュ・ストレージ・ユニットの接続部）を各々1枚のボードに実装することに成功した。

このことで現行機種に比べ、設置面積を大幅に削減することができた。

さらに、この高密度実装は高速化にも大きく寄与することになる。

たとえばプロセッサ部においては、64 キロビット SRAM(アクセス時間 25 ナノ秒)を使用したメモリ部を取り込んだ。このことで、信号を CPU ボードの外部に引き出すことなく、高速に伝播させることが可能になり、マシン・サイクル時間を短縮させることができた。

また、タイミングの余裕を持つことにより、信頼性の面でも良い結果が出ている。

V 5080 型 SCU は、1 筐体に 2 個のストレージ・コントロール・ユニット (SCU) を内蔵し、各々最大構成 5 種 8 枚のボードで構成されている。各 SCU は各々電源機構を持って完全に独立した運転を可能にし、システムの可用性の向上を目指している。

さらに、ノーダウン・システムおよび無人化運転を支援するため、「オートマチック・スイッチング・ユニット (ASU) インタフェース」、「リモート電源制御機能」を常備し、付加機構として「ファイル・シェア機能」を準備している。

N8487 型磁気ディスク装置の概要

N 8487 型磁気ディスク装置の特徴は、

- ① HDA (Head Disk Assembly) の小型化により、1 キャビネット当たり、15 ギガバイトの記憶容量を実現
- ② 大型磁気ディスク・サブシステムとして最高レベルの 12.5 ミリ秒の平均 seek (アーム移動) 時間を実現
- ③ 1 ギガバイト当たりの設置面積を現行機種に比べて 1/3 に削減
- ④ 1 ギガバイト当たりの消費電力を現行機種種の約 1/4 に削減

等である。

これまで 1.2 ギガバイト～2.5 ギガバイト～5.0 ギガバイトと続いてきた製品群から、一気に 15 ギガバイトという大容量を実現した。これは一平方インチ当たりの容量が 0.8 メガバイトだった 70 年代に比べると、35 メガバイトと 40 倍以上の高密度を達成したことになる。この高密度記録を達成するために、次の技術が必要となった。

- ・ディスクの記録媒体の厚さを可能な限り薄くする。
- ・記録媒体への情報の連絡口ともいうべきヘッド・ギャップの間隔を薄くする。

この他に製品化のためには、ヘッドとディスクの位置どりに狂いを生じさせない技術や、サーボ技術等が取り入れられた。

7053 型キャッシュ・ストレージ・ユニットおよび半導体ディスク・ユニットの概要

オンライン・システムの拡大に伴い、データベースの利用者が急増し、磁気ディスク装置のスループット向上が一段と重要になってきた。磁気ディスク装置のアクセス速度は改善されてきているが、機械的な動きに制約され、CPU の処理速度とのギャップが出てしまう。

これを解決するために、アクセス速度の速い半導体メモリを利用し、スループットを高めようとするのが 7053-II 型キャッシュ・ストレージ・サブシステム (C/DS) と半導体ディスク・サブシステム (SAS) である。

表 1 V 5080/N 8487 型磁気ディスク・サブシステム諸元

		V 5080	N 8487 (7.5 GB)		N 8487 (15 GB)	
			マスタ	スレーブ	マスタ	スレーブ
寸法 mm	幅	673	1240	860	1240	860
	高さ	1658	1790			
	奥行	837	800			
重量 (kg)		290	580	420	720	560
消費電力 (KVA)		2.0	1.8*	1.3*	2.6*	2.1*
発生熱量 (Kcal/Hr)		832	1,376	1,032	2,064	1,720
風量 (m ³ /分)		16.0	18	16	20	18
入力電源	相	単相	3 相			
	電圧 (V)	200～	200/208			
	60 Hz	240				
	電圧 (V)	200～	200/220/240			
50 Hz	240	380/415				

* 入力電圧が 208 V/60 Hz 時の消費電力

表2 N 8487型磁気ディスク装置性能

仕様項目	N 8487		
	7.5 GB	15 GB	
スピンドル数/キャビネット	4	8	
アクチュエータ数/キャビネット	4	8	
バック	9.5インチ固定 (HDA 使用)	9.5インチ固定 (HDA 使用)	
容量/ スピンドル	アンフォーマット	1,982.7 MB	1,982.7 MB
	112 W プレップ	218.8 MW	218.8 MW
	448 W プレップ	339.4 MW	339.4 MW
データ記録面数/スピンドル	15	15	
データ・ヘッド数/スピンドル	30	30	
トラック数/シリンドラ	30	30	
シリンドラ数/スピンドル	1,329 +1(スペア)	1,329 +1(スペア)	
トラック数/スピンドル	39,870 +30(スペア)	39,870 +30(スペア)	
アーム移動 時間(ミリ秒)	最小	2	2
	平均	12.5	12.5
	最大	20	20
平均回転 待ち時間 (ミリ秒)	平均	8.3	8.3
	最大	16.7	16.7
データ転送速度(MB/秒)	3.0	3.0	
接続スピンドル数/ 磁気ディスク・コントロール・ユニット	4~16	8~32	

7053-II型 C/DS および SAS は、現行機種 7053 型の後継機として開発され、以下の特徴を持つ。

1) 省スペース化

- 7053 型に比べて約 2/3 の設置スペース (7053 II キャッシュ・ストレージ・ユニット時)

表3 7053-II型キャッシュ・ストレージ・ユニット性能

項目	性能/諸元	
メモリ容量	16MB 単位の増設により最大64MB/キャビネット 最大64MB/サブシステム	
データ転送速度	3MB/秒(ホスト・チャネル⇄V 5080間) 5MB/秒(V 5080⇄7053-II間)	
最高アクセスタイム	3.0ms(キューッシュ・ヒット時)	
筐体サイズ	642(W)×837(D)×1,658(H)mm	
消費電力	0.5KVA(最大)	
稼働 環境	温度	10~34(°C)
	湿度	20~85%
発生熱量	378kcal/h(最大)	
重量	230kg(最大)	
電源	単相:200~240VAC 50/60Hz	

- 7053 型に比べて 256 メガバイト当たり約 1/10 の設置スペース (7053 II SAS ユニット時)

2) 省電力化

- 7053 型に比べて約 2/3 の消費電力

3) 高信頼化

- ECC 機能, エラー・ロギング機能, 自己診断機能を強化
- 高集積化による信頼性の向上

4) コスト・パフォーマンスの向上

上記特徴は論理回路の集積化のため、半導体メモリに 1 メガビットの DRAM を採用したことにより、実現した。

最後に、表 1 に V 5080/N 8487 型磁気ディスク・サブシステムの諸元を、表 2 および表 3 に N 8487 型磁気ディスク装置、7053-II 型キャッシュ・ストレージ・ユニットの性能を示す。

電子技術の急速な進歩にともなって電波障害が発生し、社会的な問題を引き起こしている。日本では情報処理装置等電波障害自主規制協議会(VCCI)が発足し、コンピュータ機器等に関する妨害電波の規制が実施されている。小山晴男のVCCIの規制と妨害電波測定技術の現状と問題は、VCCIの規準と妨害電波の測定方法を、若干の幅射電波とデジタル信号のスペクトルの基本的概念をまじえて解説するとともに、妨害電波問題に取り組むため当社の東京ベイ開発センタに設置した電波暗室の紹介も合わせて行っている。

1987年以来、当社が開発したPCA(Printed Circuit Assembly)の90%は、PCA-CAD“LAYOUTシステム”を用いて設計されている。上谷彊輔は、プリント基板CADの課題の中で、基板設計条件の意味、LAYOUTシステムの設計原則、LAYOUTシステムの特徴・課題について述べている。とくに、高密度実装を可能にするための各種工夫については詳しく述べている。

XTPA(Extended Transaction Processing Architecture)はオンラインシステムの処理能力拡大を目的としているが、フォルト・トレランスも合わせ持っている。樫山汎の拡張トランザクション処理アーキテクチャは、フォルト・トレラント・システムの分類と比較を試み、さらに大規模データベースを対象としたXTPAの実現形態であるBIGMIPPERシステムについて説明している。

BTOSは、米国ユニシス社製ワークステーションのOSであり、日本ではNW²ファミリーとして、日本語環境においてこれを実現した。荒井俊雄のBTOSのアーキテクチャは、BTOSの特徴であるプロセスの概念とプロセス間通信について解説するとともに、プロセスのスケジューリング・アルゴリズムについて説明している。さらに、プロセス間通信をマスタと複数クラスタステーション間(クラスタリング接続)の環境において行なうワークステーション間の通信にまで広げて、その実現方法について述べている。

▶ 技報編集委員会

委員長 柳生孝昭

副委員長 米口 肇

委員 飯塚伊三雄, 稲葉 聡, 岩澤慶次,
岡井功雄, 鎌田 稔, 久保田俊雄,
新野清嗣, 内藤 聡, 永田利地,
野本雄一, 深堀年弘, 藤田康範,
古谷雄一, 森 宏, 吉兼晴雄,
朝倉文敏

▶ 編集制作担当

技術研究部 駒崎洋介, 丹野敬子

経営企画部 熊谷 貴

● Editorial Board

T. Yagiu (Chairman)

H. Yoneguchi (Vice Chairman)

I. Iizuka, S. Inaba, K. Iwasawa,

I. Okai, M. Kamata, T. Kubota,

K. Shinno, S. Naito, T. Nagata,

Y. Nomoto, T. Fukabori, Y. Fujita,

Y. Furuya, H. Mori, H. Yoshikane,

F. Asakura

● Editorial Staff

Y. Komazaki, K. Tanno

(Technical Research)

T. Kumagai

(Corporate Operations Planning)

ISSN 0914-9996

技 報

UNISYS TECHNOLOGY REVIEW

Vol. 9 No. 4 (No.24)

発行日 平成 2年2月28日
編集人 柳生 孝昭
発行人 富田 和夫
発行所 日本ユニシス株式会社
東京都港区赤坂 2-17-51 〒107
TEL(03)585-4111 (大代表)
印刷所 三美印刷株式会社

禁無断複製転載



UNISYS

コンピュータの日本ユニシスは、今、ビジネスUNIXに ● 力をいれています

UNIX* & UNISYS

コンピュータ界の新しい波、オープン・システム。

パソコンから超大型機種までを社会に送り出してきたコンピュータ産業に、今、オープン・システムという新しい波が打ち寄せ始めています。今まで各コンピュータ会社が 各社独自の戦略で推進してきた商品開発。それを基本的に見直し、ユーザー本位の立場にたつて、より使いやすい商品開発を進めたものが、このオープン・システムなのです。

オープン・システムを極めた、UNIX。

UNIXの共通のツールは、AT&Tが研究、開発をすすめてきたオペレーティング・システム。それをベースとして、標準化を推進する各ユーザー団体を取り決めた仕様にそつて、各社がUNIXを商品開発していくのです。この仕様の中には、オペレーティング・システム、データベース、言語、コミュニケーション、各種ターミナル、LANなど全てが含まれています。

世界をリードする、UNISYSのUNIX。

米国ユニシス社のUNIXは、これらの標準化ユーザー団体の仕様を広範囲な分野から、いち早く取り入れたものです。最もユーザー・ニーズに近い、オープン・システムの中のオープン・システム。その証拠は、ビジネスUNIX分野における昨年度の全世界導入実績が、ものがたっています。まさに、世界をリードする、日本ユニシスのUNIXの登場です。

真のユーザー・システムを、どこまでも追求します。

世界で培った実績、ユーザー本位の日本語の各種ソフトウェア搭載。私たち日本ユニシスの自信作U5000/U6000シリーズは、日本の市場に力を発揮し始めています。オープン・システムの雄、UNIX。私たち日本ユニシスは、全社員、一丸となって、このUNIXに力を注ぎ、真のユーザー・システムをどこまでも追求、提供していきたいと思っています。

*UNIXは、米国AT&Tベル研究所で開発したオペレーティング・システムの名称で、AT&Tがライセンスしています。

日本ユニシス株式会社 本社 東京都港区赤坂2-17-51 〒107 電話03-585-4111(大代表)